

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11513204

Basic Patent (No,Kind,Date): JP 5313195 A2 19931126 <No. of Patents: 009>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO INSTR INC

Author (Inventor): TAKAHASHI KUNIHIRO; KOJIMA YOSHIKAZU; TAKASU HIROAKI;
YAMAZAKI TSUNEO

IPC: *G02F-001/136; H01L-027/092; H01L-027/12; H01L-029/784

JAPIO Reference No: 180126P000092

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
DE 69325951	C0	19990916	DE 69325951	A	19930512
DE 69325951	T2	19991202	DE 69325951	A	19930512
EP 574137	A1	19931215	EP 93303657	A	19930512
EP 574137	B1	19990811	EP 93303657	A	19930512
JP 5313195	A2	19931126	JP 92120699	A	19920513 (BASIC)
JP 6075244	A2	19940318	JP 92220503	A	19920819
JP 2850072	B2	19990127	JP 92120699	A	19920513
JP 2920580	B2	19990719	JP 92220503	A	19920819
US 5574292	A	19961112	US 57986	A	19930505

Priority Data (No,Kind,Date):

JP 92120699 A 19920513

JP 92220503 A 19920819

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04431344 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: 06-075244 [JP 6075244 A]

PUBLISHED: March 18, 1994 (19940318)

INVENTOR(s): TAKAHASHI KUNIHIRO

 KOJIMA YOSHIKAZU

 TAKASU HIROAKI

 YAMAZAKI TSUNEO

 IWAKI TADAO

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation),

 JP (Japan)

APPL. NO.: 04-220503 [JP 92220503]

FILED: August 19, 1992 (19920819)

INTL CLASS: [5] G02F-001/136; H01L-021/318; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2

 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: P, Section No. 1756, Vol. 18, No. 321, Pg. 98, June

 17, 1994 (19940617)

ABSTRACT

PURPOSE: To improve the reliability of a driving substrate for the active matrix- type light valve device formed by using an SOI substrate.

CONSTITUTION: At least an integrated circuit is formed in a single crystal silicon layer 2 provided on an electrical insulator 1 in the semiconductor device. The integrated circuit is covered with a passivation film with a silicon oxynitride film or a silicon nitride film 3 as the uppermost layer.

An adhesive layer 5 is formed on the passivation film, and the single crystal silicon layer 2 provided on the insulator 1 is adhered and fixed to a holding member 6 by the adhesive layer 5. The integrated circuit formed in the SOI substrate is transferred to the holding member 6 in this way, and a semiconductor device suitable to the driving substrate of a light valve device is obtained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-75244

(43) 公開日 平成6年(1994)3月18日

(51) Int. Cl. ⁵

識別記号

F I

G02F 1/136

500

9225-2K

H01L 21/318

Z

7352-4M

27/12

B

29/784

9056-4M

H01L 29/78

311

A

審査請求 未請求 請求項の数26 (全31頁)

(21) 出願番号

特願平4-220503

(22) 出願日

平成4年(1992)8月19日

(71) 出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72) 発明者 高橋 邦博

東京都江東区亀戸6丁目31番1号 セイコ

一電子工業株式会社内

(72) 発明者 小島 芳和

東京都江東区亀戸6丁目31番1号 セイコ

一電子工業株式会社内

(72) 発明者 鷹巣 博昭

東京都江東区亀戸6丁目31番1号 セイコ

一電子工業株式会社内

(74) 代理人 弁理士 林 敬之助

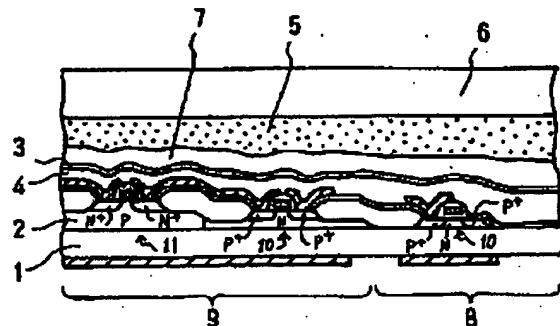
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 SOI基板を用いて形成されたアクティブマトリクス型光弁装置用駆動基板の信頼性を改善する。

【構成】 半導体装置は、電気絶縁物1上に設けられた単結晶シリコン層2に少なくとも集積回路が形成されている。この集積回路はシリコンオキシナイトライド膜又はシリコン窒化膜3を最上層とするパッシベーション膜で被覆されている。このパッシベーション膜上に接着剤層5が介在し、この接着剤層5により電気絶縁物1上に設けられた単結晶シリコン層2が保持部材6に接着固定されている。この様に、SOI基板に形成された集積回路を透明な保持部材6に転写する事により、光弁装置の駆動基板に適した半導体装置が得られる。



- | | |
|-------------------------------|---------------|
| 1 電気絶縁物 | 6 保持部材 |
| 2 単結晶シリコン層 | 7 平膜化層 |
| 3 シリコンオキシナイトライド膜
又はシリコン窒化膜 | 8 固着スイッチング素子群 |
| 4 接着剤層 | 9 ドライバ集積回路 |

【特許請求の範囲】

【請求項1】 電気絶縁物上に設けられた単結晶シリコン層に少なくとも集積回路が形成されており、その集積回路はシリコンオキシナイトライド膜又はシリコン窒化膜を最上層とするパッシベーション膜で被覆されており、かつパッシベーション膜上に接着剤層が介在し、この接着剤層により電気絶縁物上に設けられた前記単結晶シリコン層が保持部材に接着固定されている構造を持つ事を特徴とする半導体装置。

【請求項2】 パッシベーション膜と接着剤層の間に平坦化層が設けられている事を特徴とする請求項1記載の半導体装置。

【請求項3】 平坦化層はシリコン酸化物系の膜からなる事を特徴とする請求項2記載の半導体装置。

【請求項4】 電気絶縁物上に設けられた単結晶シリコン層の一部の領域をシリコン酸化膜等の絶縁膜に転換し、その絶縁膜上に設けた多結晶シリコン層中又はアモルファスシリコン層中にアクティブマトリクス型表示装置用の画素スイッチング素子群を形成し、かつ前記電気絶縁物上に残された単結晶シリコン層の領域に画素スイッチング素子群を動作させる為のドライバ集積回路が形成されている事を特徴とする請求項1記載の半導体装置。

【請求項5】 電気絶縁物上に設けられた単結晶シリコン層に、アクティブマトリクス型表示装置用の画素スイッチング素子群及び該画素スイッチング素子群を動作させる為のドライバ集積回路が形成されている事を特徴とする請求項1記載の半導体装置。

【請求項6】 画素スイッチング素子群と画素スイッチング素子群を動作させる為のドライバ集積回路はともに、電界効果型金属・絶縁膜・半導体構造のMISトランジスタから構成されている事を特徴とする請求項5記載の半導体装置。

【請求項7】 画素スイッチング素子群はP型のMISトランジスタから構成されている事を特徴とする請求項5記載の半導体装置。

【請求項8】 電気絶縁物上に形成された画素電極群に対し個々に選択給電を行なう画素スイッチング素子の極く近傍に、単結晶シリコン層からなる基板と同じ導電型の高濃度不純物領域が設けられている事を特徴とする請求項5記載の半導体装置。

【請求項9】 画素スイッチング素子群を構成するMISトランジスタの長さ寸法と幅寸法の積は、ドライバ集積回路を構成しているMISトランジスタの長さ寸法と幅寸法の積より小さい事を特徴とする請求項6記載の半導体装置。

【請求項10】 電気絶縁物上に設けられた単結晶シリコン層中に形成される集積回路は少なくとも電界効果型金属・絶縁膜・半導体構造のMISトランジスタを含んでおり、該MISトランジスタは第1の導電型の不純物

を含む単結晶シリコン層の領域からなる単結晶半導体基板と、前記単結晶半導体基板中に形成された第2の導電型の不純物を含むソース領域及びドレイン領域と、前記単結晶半導体基板の表面で且つソース領域とドレイン領域の間に形成されたチャネル領域とから構成されており、前記電気絶縁物と接合する単結晶半導体基板に設けられたソース領域とドレイン領域の間に寄生チャネルの発生を防止する上で十分な濃度の第1導電型の不純物が導入されており、且つ前記チャネル領域においては閾値電圧制御の為の第2の導電型の不純物が導入されている事を特徴とする請求項1記載の半導体装置。

【請求項11】 単結晶半導体基板に形成されたソース領域及びドレイン領域の底部が電気絶縁膜上から離間している事を特徴とする請求項10記載の半導体装置。

【請求項12】 電気絶縁物上に設けられた単結晶シリコン層中に形成される集積回路は少なくとも電界効果型金属・絶縁膜・半導体構造のMISトランジスタを含んでおり、該MISトランジスタは第1の導電型の不純物を含む単結晶シリコン層の領域からなる単結晶半導体基板と、前記単結晶半導体基板中に形成された第2の導電型の不純物を含むソース領域及びドレイン領域と、前記単結晶半導体基板の表面で且つソース領域とドレイン領域の間に形成されたチャネル領域と、チャネル領域の上にゲート絶縁膜を介して設けられたゲート電極とから構成されており、該ゲート絶縁膜と該電気絶縁物との間にある単結晶半導体基板が一方導電型の不純物層からなり、該一方導電型の不純物の濃度はチャネル領域の方が電気絶縁物と接する付近の領域より薄い事を特徴とする請求項1記載の半導体装置。

【請求項13】 電気絶縁物上に設けられた単結晶シリコン層に形成される集積回路は少なくとも電界効果型金属・絶縁膜・半導体構造のMISトランジスタを含んでおり、該MISトランジスタは前記電気絶縁物と単結晶シリコン層の境界付近で且つソース領域及びドレイン領域の相対向する側にソース領域及びドレイン領域と反対導電型の不純物が導入されている事を特徴とする請求項1記載の半導体装置。

【請求項14】 電気絶縁物上に設けられた単結晶シリコン層に形成されている集積回路は少なくとも相補型金属・絶縁膜・半導体構造のMISトランジスタから構成され、N型MISトランジスタが形成されている領域の単結晶シリコン層の厚みはP型MISトランジスタが形成されている領域の単結晶シリコン層の厚みより大きい事を特徴とする請求項1記載の半導体装置。

【請求項15】 電気絶縁物上に設けられた単結晶シリコン層に形成されている集積回路は少なくとも相補型金属・絶縁膜・半導体構造のMISトランジスタから構成され、前記集積回路内においてN型MISトランジスタのソース領域及びドレイン領域の底部は、前記電気絶縁物から離間している事を特徴とする請求項1記載の半導

体装置。

【請求項16】 電気絶縁物上に設けられた単結晶シリコン層に形成されている集積回路は少なくとも相補型金属・絶縁物・半導体構造のMISトランジスタから構成され、前記集積回路内においてN型MISトランジスタが形成されている領域であるP型不純物領域あるいはPウェル領域内にあるフィールド酸化膜の底部は、電気絶縁物から離間している事の特徴とする請求項1記載の半導体装置。

【請求項17】 画素スイッチング素子群とこの画素スイッチング素子群を動作させる為のドライバ集積回路がともに少なくともMISトランジスタから構成されている半導体装置であって、ドライバ集積回路が形成されている領域の単結晶シリコン層の厚みが画素スイッチング素子群が形成されている領域の単結晶シリコン層の厚みより大きい事の特徴とする請求項6記載の半導体装置。

【請求項18】 電気絶縁物上に設けられた単結晶シリコン層にアクティブマトリクス型表示装置用の画素スイッチング素子群及び該画素スイッチング素子群を動作させる為のドライバ集積回路とが形成されている半導体装置、又は電気絶縁物上に設けられた単結晶シリコン層の一部の領域をシリコン酸化膜等の絶縁膜に転換しその絶縁膜上に設けた多結晶シリコン層中又はアモルファスシリコン層中にアクティブマトリクス型表示装置の画素スイッチング素子群を形成し、電気絶縁膜上に残された単結晶シリコン層に画素スイッチング素子群を動作させる為のドライバ集積回路が形成されている半導体装置であって、画素スイッチング素子群が形成されている領域下の電気絶縁膜の厚みはドライバ集積回路が形成されている領域下の電気絶縁膜の厚みより薄い事の特徴とする請求項1記載の半導体装置。

【請求項19】 仮基板の上に電気絶縁物を介して積層された単結晶半導体層を有するSOI基板を形成する第1工程と、該単結晶半導体層に対して集積回路を形成する第2工程と、形成された集積回路の表面に対して該仮基板と反対側に保持部材を面接着固定する第3工程と、該仮基板を除去し平坦な電気絶縁物を露出する第4工程と、該露出した平坦な電気絶縁物の表面に対して少なくとも電極形成を含む処理を行なう第5工程とからなる半導体装置の製造方法。

【請求項20】 該第1工程は、シリコンからなる仮基板の上に二酸化シリコンからなる電気絶縁物を介して単結晶シリコンからなる半導体基板を熱圧着により固定した後、該半導体基板を研磨して薄膜化し単結晶シリコン層を有するSOI基板を形成する工程である請求項19記載の半導体装置の製造方法。

【請求項21】 該第1工程は、シリコンからなる仮基板の上に下地処理として窒化シリコン層を堆積し続いてCVDにより二酸化シリコン層を堆積する事により電気

絶縁物を形成した後、熱圧着により該半導体基板を固定する工程を含む請求項20記載の半導体装置の製造方法。

【請求項22】 該第4工程は、二酸化シリコン層又は窒化シリコン層をエッチングストップパとして該仮基板をエッチングあるいは研磨とエッチングの両方により除去する工程である請求項19記載の半導体装置の製造方法。

【請求項23】 該第3工程は、二酸化シリコンを主成分とする接着剤を用いて、保持部材を面接着固定する工程である請求項19記載の半導体装置の製造方法。

【請求項24】 該第3工程は、集積回路の表面に対して接着剤を供給し固化して単層構造を有する保持部材を設ける工程である請求項19記載の半導体装置の製造方法。

【請求項25】 仮基板と単結晶半導体層を透明電気絶縁物を介して積層した3層からなるSOI基板を用意する第1工程、

該SOI基板の単結晶半導体層を選択的に除去した部分あるいは選択的に二酸化シリコン膜を形成した部分に画素電極を形成し、該単結晶半導体層に画素スイッチング素子、該画素スイッチング素子へ信号を選択的に供給する為のドライバ集積回路等からなる駆動部を形成する第2工程、

該画素電極と駆動部を形成したSOI基板表面上に接着剤を介して保持部材を載置する第3工程、

該仮基板を除去し透明電気絶縁物を表出させる第4工程、

該表出した透明電気絶縁物の所定位置に貫通孔を開け、次に該表出した透明電気絶縁物表面に金属膜を形成する第5工程、

該金属膜をパタニングして、少なくとも駆動部の一部又は全部を覆う様にして遮光層を形成するとともに、電極パッドを形成し該貫通孔を介して該電極パッドと駆動部が電氣的に接続して駆動基板を形成する第6工程、及び該駆動基板の遮光層を形成した表面に対して、透明電極を形成した対向基板をギャップを設けて積層接着し、次に該ギャップに電気光学物質を充填する第7工程、とを含む光弁装置の製造方法。

【請求項26】 発光源と、該発光源からの光を光弁装置に照射し該光弁装置上の画像を光学レンズによって拡大投影する画像プロジェクション装置において、該光弁装置は、画素電極と所定の信号に応じて該画素電極を励起する為の駆動回路とを形成した駆動基板と、該駆動基板に対向配置した対向基板と、該駆動基板と該対向基板の間に配置された電気光学物質層からなり、該駆動基板は、透明電気絶縁物層と、該透明電気絶縁物層の上に形成された単結晶半導体層と、該透明電気絶縁物層の単結晶半導体層側と反対側表面に遮光層とを有し、

該駆動回路は、該単結晶半導体層に形成されたトランジスタ素子を含み、該遮光層は該トランジスタ素子の能動部を覆う様に形成され、

該画素電極は該単結晶半導体層に集積的に配置され、且つ該駆動回路と電気的に接続され、該駆動回路により該画素電極を励起して該電気光学物質層に作用しその光透過性を制御する光弁装置を用いたことを特徴とする画像プロジェクション装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関する。より詳しくは、アクティブマトリクス型液晶表示装置等の光弁装置に用いられる半導体駆動基板に関する。さらに詳しくは、画素スイッチング素子群及び周辺ドライバ回路が同一基板上に集積的に形成された構造に関する。

【0002】

【従来の技術】 従来、アクティブマトリクス型光弁装置用の駆動基板としては、石英等の絶縁基板上に薄膜トランジスタ(TFT)を集積的に形成した所謂TFT基板が知られていた。例えば、特開平3-101714号公報には半導体薄膜材料として多結晶シリコンを用いたTFT基板が開示されている。又、多結晶シリコンに代えてアモルファスシリコンを用いたTFT基板も知られている。しかしながら、多結晶シリコンやアモルファスシリコンのキャリア移動度は比較的小さい為、同一基板上に周辺ドライバ回路を形成する上で困難が伴うという欠点がある。

【0003】 近年、石英等の絶縁基板上に単結晶シリコン層を貼り合わせたウェハを用いて駆動基板を作成する技術が開発されており、例えば特開平3-100516号公報に開示されている。前述した多結晶シリコンやアモルファスシリコンに比べ、単結晶シリコンは高い移動度を有する為、通常のIC製造プロセスを駆使して高性能且つ大容量の周辺ドライバ回路を同時に形成する事ができるという利点がある。しかしながら、実際にはIC製造プロセスにおける最高処理温度が1150℃程度に達する為、単結晶シリコン層と絶縁基板の熱膨張係数の違いから、ウェハの反りが生じ所望の製造歩留りを得る事ができないという欠点がある。

【0004】 又、バルクの単結晶シリコンウェハを利用して光弁装置用駆動基板を作成する技術も近年開発されており、例えば第8回インターナショナルワークショップオンフューチャーエレクトロニクスデバイス(8TH INTERNATIONAL WORKSHOP ON FUTURE ELECTRON DEVICES)1990年3月14日から16日、日本高知県、81~84ページに開示されている。バルクの単結晶シリコンウェハを用いれば何ら問題なく通常のLSI製造プロセスが適用できる。しかしながら、光弁装置用基板とする為には透明化する必要があり、ウェハ上に形成さ

れた集積回路に対して2回のデバイス転写を行ない、シリコンウェハを透明基板に置換している。この為、製造工程が煩雑になるという欠点がある。

【0005】 バルクの単結晶シリコンウェハを透明化する為に必要な2回の転写を1回に削減する為に、エピタキシャル技術を利用した従来例が、例えば特開昭63-90859号公報及び特開昭63-101831号公報に開示されている。この従来例では、単結晶シリコンウェハの表面に絶縁層を形成した後、選択的に窓開けしエピタキシャル単結晶シリコン領域を設けている。このエピタキシャル領域にデバイスを形成した後透明基板に転写しシリコンウェハを除去している。転写に当たっては、デバイス表面をCVDにより二酸化シリコンからなる保護膜で被覆しさらに透明接着剤を用いて透明基板に貼り付けている。この状態で先に述べた絶縁膜をエッチングストップパとしてシリコンウェハのバルク部分を除去する。

【0006】

【発明が解決しようとする課題】 最後に説明した第4番目の従来例では、単結晶シリコンウェハを利用しているので通常のIC製造プロセスが適用可能であり、さらにデバイス転写も1回で済むという利点がある。しかしながら、転写を行なう際、シリコンウェハと透明基板あるいは保持部材を接着剤により貼り合わせている。この接着剤にはアルカリ金属等の不純物が含まれている為、デバイス表面には予め保護膜あるいはパッシベーション膜が施されている。前述した様に、この保護膜はCVD等により堆積された燐を含有する二酸化シリコン膜(PSG)からなる。しかしながら、接着剤にはアルカリ金属に加えて水分や水素等も含まれており、デバイスの電気特性の劣化をもたらすという課題あるいは問題点がある。PSG膜はアルカリ金属等の不純物を有効に遮断する事ができるが、水分や水素を透過する為デバイスを十分に保護する事ができない。かかる従来の技術の課題に鑑み、本発明は半導体単結晶層に形成された光弁装置用デバイスを透明保持部材に転写する構造において、デバイスの劣化を防止し信頼性を改善する事を第1の目的とする。

【0007】 又、前述した第4の従来例では単結晶シリコンウェハの表面を絶縁膜で被覆し選択的に窓開けしてエピタキシャル領域を形成しデバイスを設けているが、製造工程上複雑且つ煩雑な制御を要し量産に適していないという課題がある。そこで、本発明ではシリコンウェハの表面に予め電気絶縁物を介して単結晶シリコン層を設けた基板(以下SOI基板と言う)を利用してアクティブマトリクス型光弁装置用の駆動基板を作成する様にしている。ところで、電気絶縁物上に設けられた単結晶シリコン層にトランジスタ等のデバイス素子を形成した場合様々な弱点あるいは課題が発生する。これらの課題には、寄生チャネルによるリーク電流の増大、基板電位の

不安定化、光リーク電流の発生等が含まれる。そこで、本発明はSOI基板に形成されたトランジスタの電気特性を改善する事を第2の目的とする。

【0008】

【課題を解決するための手段】 上述した従来の技術の課題を解決し本発明の目的を達成する為に講じられた手段を図1に示す。本発明にかかる半導体装置は、例えばアクティブマトリクス型光弁装置の駆動基板に用いられる。本半導体装置は、電気絶縁物1上に設けられた単結晶シリコン層2に少なくとも集積回路が形成されている。電気絶縁物1は例えば二酸化シリコン層からなる。本半導体装置はシリコン単結晶ウェハ（図示せず）の上に二酸化シリコン膜からなる電気絶縁物1を介して単結晶シリコン層2を設けたSOI基板を利用して作成されており、図示の完成品状態ではシリコン単結晶ウェハは除去されている。二酸化シリコンからなる電気絶縁物1は当初単結晶シリコン層2とシリコン単結晶ウェハとの間に埋め込まれた状態となっており、以下BOXと呼ぶ事もある。

【0009】 単結晶シリコン層2に形成された集積回路はシリコンオキシナイトライド膜又はシリコン窒化膜3を最上層とするパッシベーション膜で被覆されている。本例では、パッシベーション膜は上述したシリコンオキシナイトライド膜又はシリコン窒化膜3と二酸化シリコン膜4の積層構造となっている。このパッシベーション膜上に透明な接着剤層5が介在し、この接着剤層5により電気絶縁物1上に設けられた単結晶シリコン層2が透明な保持部材6に接着固定されている。換言すると、当初SOI基板上に形成された集積回路は保持部材6に転写され透明化が図られている。好ましくは、パッシベーション膜と接着剤層5の間に平坦化層7が介在している。

【0010】 電気絶縁物1上に設けられた単結晶シリコン層2に形成された集積回路は、アクティブマトリクス型表示装置用の画素スイッチング素子群8と、該画素スイッチング素子群8を動作させる為のドライバー集積回路9とを含んでいる。画素スイッチング素子群8及びドライバー集積回路9はともに、電界効果型金属・絶縁膜・半導体構造のMISトランジスタから構成されている。画素スイッチング素子群8を個々に構成するMISトランジスタは特にPチャネル型のトランジスタ10が用いられている。一方ドライバー集積回路9は相補型のMISトランジスタから構成されている。本例では、Nチャネル型MISトランジスタ11が形成されている領域の単結晶シリコン層2の厚みは、Pチャネル型MISトランジスタ12が形成されている領域の単結晶シリコン層2の厚みより大きく設定されている。さらに、ドライバー集積回路9が形成されている領域の単結晶シリコン層2の厚みは、画素スイッチング素子群8が形成されている領域の単結晶シリコン層2の厚みよりも大きく設

定されている。

【0011】

【作用】 本発明によれば、集積回路が形成されている単結晶シリコン層2と接着剤層5との間に、シリコンオキシナイトライド膜又はシリコン窒化膜3を最上層とするパッシベーション膜が介在している。シリコンオキシナイトライド膜又はシリコン窒化膜3の膜厚を例えば100nm以上に設定する事により、接着剤層5に含まれる水分や水素の透過を防止できる。この為、集積回路を構成するトランジスタの電気特性劣化が抑制でき信頼性が改善できる。

【0012】 パッシベーション膜と接着剤層5の間には平坦化層7が介在している。この平坦化層7は例えば二酸化シリコン系のものが用いられ、集積回路への悪影響がなく化学的に安定で且つ信頼性が高い。又、平坦化層7を介在させる事により接着剤層5とパッシベーション膜との間の接着強度が改善される。一般に、シリコンオキシナイトライド膜又はシリコン窒化膜3に比べて酸化シリコンからなる平坦化層7の方が接着剤層5に対して良好な接着強度が得られる。

【0013】 単結晶シリコン層2に形成される集積回路は微細なデバイス寸法を有するMISトランジスタで構成される為、高集積化が可能であり特に大容量のアクティブマトリクス型光弁装置の駆動基板に適している。又、単結晶シリコン層2を素子領域として用いている為、特に集積回路の動作が高速化され、アクティブマトリクス型光弁装置に適している。ドライバー集積回路9は相補型のMISトランジスタから構成されているので、小面積高集積化に加えて低消費電力化を図る事が可能である。又、Pチャネル型MISトランジスタ12が形成されている領域の単結晶シリコン層2の厚みをNチャネル型MISトランジスタ11が形成されている領域の単結晶シリコン層2の厚みに比べて小さく設定する事により、光リーク電流を効果的に抑制している。又、画素スイッチング素子群8は、Nチャネル型MISトランジスタよりもリーク電流の少ないPチャネル型トランジスタ10を用いて構成されている。

【0014】 本発明では、SOI基板を用いて集積回路を形成するので、通常の高温IC製造プロセスが適用可能である。さらに、1回のデバイス転写により、SOI基板に形成された集積回路を透明な保持部材6側に移す事が可能である。

【0015】

【実施例】 以下図面を参照して本発明の好適な実施例を詳細に説明する。図2は、本発明にかかる半導体装置の第一実施例を示す模式的な断面図である。図1に示した基本的な構造と類似しており、対応する部分には対応する参照番号を付して理解を容易にしている。図1に示した基本的な構造と異なる点は、平坦化層を省略している事である。即ち、接着剤層5とパッシベーション膜の最

上層に位置するシリコンオキシナイトライド膜又はシリコン窒化膜3とが直接接する構造となっている。かかる構造とする事により製造工程を簡略化できる。なお、図1では説明を省略したが、電気絶縁物1の裏側にはパタニングされた金属膜等からなる遮光層13が形成されており、MISトランジスタ10、11及び12を選択的に被覆し光リーク電流を抑制している。加えて、図1では説明を省略したが、画素スイッチング素子群8を構成するMISトランジスタ10のソース領域にはパタニングされた多結晶シリコン膜等からなる画素電極14が接続されている。

【0016】図3は本発明にかかる半導体装置の第二実施例を示す模式的な断面図である。基本的に、図1に示す構造と同一であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、画素スイッチング素子群8を構成するMISトランジスタ10が単結晶シリコン層2ではなく多結晶シリコン層あるいはアモルファスシリコン層15により形成されている事である。本例では、電気絶縁物1上に設けられた単結晶シリコン層2の一部の領域がシリコン酸化膜等の絶縁膜16に転換されている。この絶縁膜16の上に多結晶シリコン層又はアモルファスシリコン層15が形成され、前述した画素スイッチング素子用のMISトランジスタ10が設けられる。なお、多結晶シリコン層又はアモルファスシリコン層15の延長部分が画素電極となる。本例では、画素スイッチング素子群8はMISトランジスタで構成されているが、本発明はこれに限られるものではなく例えばダイオードで構成する事も可能である。多結晶シリコントランジスタあるいはアモルファスシリコントランジスタは単結晶シリコントランジスタに比べて、光照射時に発生する電子とホールとの対が少なく、且つキャリアの寿命も短かい為、光弁装置用駆動基板として適している。但し、ドライバー集積回路9は、図1に示した基本構造と同様に、単結晶シリコントランジスタで構成される。単結晶シリコントランジスタはドライバーピッチが高く、小面積で高速のドライバー集積回路を作る事ができる。

【0017】図4は本発明にかかる半導体装置の第三の実施例を示す模式図である。(A)はドライバー集積回路を構成するMISトランジスタを1個取り出して示した模式的な断面図及び平面図である。このMISトランジスタ12は電気絶縁物例えばBOX1の上に設けられた単結晶シリコン層2に形成されており、ソース領域S、ドレイン領域D及びゲート電極Gとからなる。MISトランジスタ12の設けられた素子領域はフィールド酸化膜17により囲まれている。図示する様に、MISトランジスタ12の素子領域の幅寸法は W_1 に設定されており、長手寸法は L_1 に設定されている。

【0018】一方(B)は画素スイッチング素子群8を構成するMISトランジスタ10を1個取り出して示し

た断面図及び平面図であり、同様にドレイン領域D、ソース領域S及びゲート電極Gとから構成されている。フィールド酸化膜17により囲まれた素子領域は、幅寸法が W_1 に設定されており、長手寸法が L_1 に設定されている。本実施例では、画素スイッチング素子群を構成するMISトランジスタ10の長手寸法 L_1 と幅寸法 W_1 の積は、ドライバー集積回路を構成するMISトランジスタ12の長手寸法 L_2 と幅寸法 W_2 の積よりも小さい事を特徴とする。

【0019】前述した様に単結晶シリコントランジスタは多結晶シリコントランジスタあるいはアモルファスシリコントランジスタに比べて光リーク電流が大きい。即ち、光照射による電子とホールとの対の発生量が大きく且つ寿命も長い。特に、画素スイッチング素子群は光照射に晒される可能性が高い。そこで、キャリアの発生領域を少なくし光リーク電流を抑制する為に、画素スイッチング素子群のMISトランジスタのサイズをドライバー集積回路のMISトランジスタよりも小さくしている。同様な理由により、画素スイッチング素子用MISトランジスタ10の形成されている単結晶シリコン層2の膜厚を、(A)に示すドライバー集積回路用MISトランジスタ12が形成されている単結晶シリコン層2の膜厚に比べて小さく設定している。

【0020】本発明の理解を容易にする為に、ここで図28ないし図30を参照して単結晶シリコントランジスタの光リーク現象について簡潔に説明を加えておく。BOXの表面に島状にパタニングされた単結晶シリコン層が残されており、これに例えばNチャネル型のMISトランジスタが形成されている。ソース領域Sとドレイン領域Dとの間にチャネル領域Chが設けられる。チャネル領域Chの上にはゲート絶縁膜GOXを介してゲート電極Gがパタニング形成されている。外部から光が入射すると、チャネル領域Chに電子とホールとの対が発生する。ホールはチャネル領域Ch中に溜り易く接地電位にあるソース領域Sから電子を引き出し、所謂パイボラ動作を引き起す。一方、電子は正電位に保持されたドレイン領域に引張られると同時に、BOXと単結晶シリコン層の界面のエネルギーバンドが落ち込んでいる個所に集まり、最終的に界面を通してドレイン領域Dに向かう。この様にして、光リーク電流が流れる事になる。

【0021】図29は、図28に示した単結晶シリコン層における、厚み方向に沿ったエネルギー準位の変化を示している。伝導帯CBはチャネル領域単結晶シリコン層s-SiとBOXとの界面で落ち込んでおり電子が溜り易いエネルギー準位構造となっている。この為、s-SiとBOXとの界面で特にNチャネル型トランジスタの場合リーク電流が生じ易い。又、価電子帯VBのエネルギー準位もs-SiとBOXの界面で落ち込んでい。この為、ホールがこの界面部分に集まる事はない。

【0022】図30は単結晶シリコントランジスタのゲ

ート電圧 V 、とドレイン電流 I 、との関係を示すグラフである。ドレイン電圧 V 、を一定にして測定しており、点線カーブは光照射時の特性を表わし、実線カーブは光遮断時の特性を表わす。グラフから明らかな様に、光照射時にはリーク電流が増大し、単結晶シリコントランジスタのオン/オフ特性が悪化する。

【0023】電気絶縁物上に形成された薄膜型の単結晶シリコンMISトランジスタでは、前述した光リーク電流の問題に加えて、所謂寄生チャネルによるリーク電流の増大が問題となる。以下、この寄生チャネルの改善を目的とした幾つかの実施例を説明する前に、理解を容易にする為に寄生チャネルを簡潔に図25ないし図27を参照して説明する。図25の(A)はSOI基板上に形成されたNチャネル型MISトランジスタの一般的な構成を示す。BOXの上に設けられた単結晶シリコン層s-Siはフィールド酸化膜FOXによって囲まれており素子領域を形成する。素子領域にはN'型のソース領域S及びドレイン領域Dが形成されており、両者の間にチャネル領域が設けられる。チャネル領域の上にはゲート絶縁膜GOXを介してゲート電極Gがパタニング形成されている。ゲート電極G直下の単結晶シリコン層s-SiはP'型の不純物領域である。

【0024】一方図25の(B)には同じくSOI基板上に形成されたPチャネル型MISトランジスタが示されている。Pチャネル型の場合には、ドレイン領域D及びソース領域SはP'型の不純物領域からなり、ゲート電極G直下の単結晶シリコン層s-SiはN'型の不純物領域となっている。

【0025】図26は、図25の(A)に示したNチャネル型MISトランジスタにおけるP'型不純物領域の深さ方向濃度プロファイルを示す。本例では、P型不純物としてボロンが導入されている。このプロファイルから明らかな様に、単結晶シリコン層s-SiとBOXとの界面で、ボロンの偏析により単結晶シリコン層s-Si側でボロンの濃度が急激に減少している。この為界面領域はボロンの濃度が非常に薄く、Nチャネル型MISトランジスタの電流通路が形成され易い領域となる。この為寄生チャネルを生じ易く、リーク電流が非常に大きくなってしまふ。

【0026】一方、図27は図25の(B)に示したPチャネル型MISトランジスタのN'型不純物領域における深さ方向濃度プロファイルを示している。本例ではN型不純物として磷が用いられている。このプロファイルから明らかな様に、単結晶シリコン層s-SiとBOXとの境界において、磷の偏析により単結晶シリコン層s-Si側で磷の濃度が上昇している。この為界面領域における磷の濃度が比較的高く電流通路は形成されにくい。従って、Pチャネル型のMISトランジスタは、Nチャネル型のMISトランジスタに比べ寄生チャネルが生じにくい構造となっている。

【0027】SOI基板上に形成されるMISトランジスタは、バルクの単結晶シリコンウェハに形成される通常のMISトランジスタと同様に、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下の比較的低不純物濃度のシリコン単結晶層表面部分に閾値制御の為、例えばNチャネル型トランジスタでは単結晶シリコン層と同じ導電型のボロン等のP型不純物のイオン注入によるチャネルドーピングが行なわれていた。P型不純物のチャネルドーピングにより、シリコン単結晶層のP型不純物濃度は、表面付近で高く内部で低くなる様に分布する。この為、SOI基板上に形成されたNチャネル型MISトランジスタにおいては、BOXあるいは埋め込み酸化膜の界面近傍では、表面に比べてP型の不純物濃度が低下している。さらに、不純物としてボロンを用いると前述した様に単結晶シリコン層とBOXとの間の界面において偏析が生じ、シリコン単結晶側の不純物濃度が益々減少する事になる。又、Nチャネル型トランジスタに限らず、Pチャネル型トランジスタにおいても、単結晶シリコン層とBOXとの界面には電界が多く存在し、この界面近傍に空乏層や反転層が形成され易くなりBOXに接する単結晶シリコン層の領域に本来のチャネルよりも閾値の小さいチャネル即ち寄生チャネルが形成されてしまふ。

【0028】以下図5ないし図20を参照して寄生チャネルの防止を目的とした幾つかの実施例を詳細に説明する。先ず、図5に示す実施例では、SOI基板に島状のNチャネル型MISトランジスタが形成されている。SOI基板はシリコンからなる基板SUBの上にBOXを介して単結晶シリコン層s-Siを積層した構造を有している。この単結晶シリコン層s-Siは前述した様に島状に形成されており素子領域を構成する。Nチャネル型のMISトランジスタは、P型の不純物を含む単結晶シリコン層s-SiのP'型領域Rと、単結晶シリコン層中に形成されたN型の不純物を含むN'ソース領域S及びドレイン領域Dと、前記領域Rの上側で且つソース領域Sとドレイン領域Dの間に形成されたチャネル領域Chとから構成されている。なおチャネル領域Chの上にはゲート絶縁膜GOXを介してゲート電極Gがパタニング形成されている。BOXと接合する前記領域Rにおいてソース領域Sとドレイン領域Dの間に寄生チャネルの発生を防止する上で十分な濃度のP型不純物が導入されている。加えて、チャネル領域Chには、閾値電圧制御の為のN型不純物が導入されている。

【0029】図5に示す直線A-Bに沿った、不純物濃度プロファイルを図9に示す。このプロファイルから明らかな様に、領域R中に従来に比し多量のP型不純物を導入し、s-SiとBOXとの界面における偏析によるP型不純物濃度の低下を補っている。この為、寄生チャネルが表面の本来のチャネルよりも先に反転して、ソース領域Sとドレイン領域Dとを導通させてしまう事を防止できる。又、表面チャネル領域Chに対してはN型の

不純物を導入し、実効的にP型不純物濃度を下げる事により所望の閾値制御を行なっている。

【0030】図6は寄生チャネル抑制の他の実施例を示し、同じくSOI基板に形成されたNチャネル型MISトランジスタの例である。本例では、ゲート絶縁膜GOXと電気絶縁物BOXとの間にある単結晶シリコン層の領域RがP型の不純物層からなる。P型不純物の濃度は、チャネル領域Chの方がBOXと接する領域Rに比べて薄くなる様に設定されている。

【0031】図10に、図6に示した直線C-Dに沿ったP型不純物濃度のプロファイルを表わす。本実施例においても、BOXに接する界面側においてP型不純物濃度が高くなっており、偏析による濃度低下を補っている。一方、表面チャネル領域ChにおいてはP型不純物濃度を低くして、所望の閾値特性が得られる様にしている。この様な濃度プロファイルは、例えばイオンインプランテーションにおける不純物イオンの加速エネルギーを適宜調整する事により可能である。

【0032】図7はSOI基板に形成されたPチャネル型のMISトランジスタを示しており、図5に示すNチャネル型MISトランジスタの構造に対応している。即ち、BOXに接する単結晶シリコン層の領域Rは従来に比し比較的高濃度のN型不純物を含んでおり、寄生チャネルを抑制している。一方、表面チャネル領域Chには反対導電型のP型不純物が低濃度で導入されており、トランジスタの閾値特性を制御している。

【0033】図8は同じくSOI基板に形成されたPチャネル型MISトランジスタの例を示しており、図6に表わしたNチャネル型MISトランジスタの構造に対応している。即ち、本実施例においても、BOXに接する単結晶シリコン層の領域Rは従来に比し比較的高濃度のN型不純物を含んでおり寄生チャネルを抑制している。一方、表面チャネル領域ChのN型不純物濃度は領域Rに比べ低く抑制されており、所望のトランジスタ閾値特性を得ている。

【0034】次に図11を参照して、図5に示した実施例の製造方法を詳細に説明する。まず、工程(A)においてSOI基板を用意する。このSOI基板では、シリコン基板101上に電気絶縁物あるいはBOXを構成するシリコン酸化膜102を介して1 μ m以下の厚みを有する単結晶シリコン層103が設けられている。続いて、単結晶シリコン層103に寄生チャネルの発生を防止するのに十分な不純物濃度(例えば $1 \times 10^{17} \text{cm}^{-3}$)になる様にボロン等のP型不純物をイオン注入法等により導入した後、拡散及び活性化処理を施す。すなわち、P型の不純物濃度が、シリコン単結晶層103内で略均一に分布する様に熱処理を施す。

【0035】工程(B)において、トランジスタ形成領域104を残して、単結晶シリコン層103をエッチング除去し個々のトランジスタの素子分離を行なう。な

お、トランジスタ間の素子分離は、LOCOS法等により行なっても良い。又、前述したP型の不純物導入処理は工程(B)に示した素子分離を行なった後に実施しても良い。

【0036】次に工程(C)において、MISトランジスタのゲート絶縁膜105を熱酸化法又はCVD法により形成した後、P型不純物を導入した領域の表面部分にN型の不純物による閾値制御用のイオン注入を行ない、トランジスタ形成領域104の表面にP型不純物濃度を実効的に低下させたチャネル領域106を形成する。N型不純物としては拡散係数の小さい砒素が好ましいが、場合によっては燐やアンチモンを用いても良い。

【0037】最後に工程(D)において、通常のICプロセスによりゲート電極107を形成する。さらに、ゲート電極107直下のN型不純物を導入したチャネル領域106を挟む様に、自己整合的にN型不純物をイオン注入法等で大量に導入し、ソース領域108とドレイン領域109を形成する。

【0038】ソース領域108及びドレイン領域109はN型の不純物層からなり、各々シリコン酸化膜102と接合している。これらの領域に挟まれた内部領域110には、シリコン酸化膜102の接合部113に寄生チャネルが発生するのを防止する為に、十分な濃度のP型の不純物が導入されている。デバイス形成層表面部分に沿ってソース領域108とドレイン領域109間に形成されるチャネル領域106は、内部領域110の不純物濃度を高めた分、Nチャネル型MISトランジスタの閾値が上昇するので、これを下げる為に実効上チャネル領域106のP型不純物濃度を下げるべく、N型の不純物が導入されている。チャネル領域106以外の部分のデバイス形成層内部領域110においては不純物濃度が濃いため、ソース領域108及びドレイン領域109とデバイス形成層内部領域110の接合容量が大きくなるが、ソース領域108及びドレイン領域109は各々シリコン酸化膜102と接合しているため、通常のパルクシリコンウェハにおいて不純物濃度を高めた場合程接合容量が大きくなる事はなく、トランジスタの動作スピードの低下は殆んど問題ない。

【0039】図12は寄生チャネルを効果的に抑制する為のさらに別の実施例を示す。この例では、SOI基板の上にNチャネル型のMISトランジスタが形成されている。このMISトランジスタは、電気絶縁物あるいはBOXと単結晶シリコン層s-Siの境界付近で、且つソース領域S及びドレイン領域Dの相対向する側に、ソース領域及びドレイン領域と反対導電型の不純物が導入されている事の特徴とする。具体的には、ソース領域S及びドレイン領域DのN型不純物濃度は 10^{18}cm^{-3} 程度であり、両領域S、Dに挟まれた内部領域RのP型不純物濃度は $1 \times 10^{17} \text{cm}^{-3}$ 程度である。さらに、BOXとs-Siの界面近傍でソース領域S及びドレイン領域D

に接する部分BのP型不純物濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度である。この様に、内部領域Rに比べ特にソース領域S及びドレイン領域Dの近傍において界面付近の部分のP型不純物濃度を高くする事により、有効に寄生チャネルを抑制できる。この部分Bは特にソース領域S及びドレイン領域DからのN型不純物の拡散により実効的なP型不純物濃度が低下する恐れのある領域である。

【0040】図13はさらに別の実施例を示し、基本的には図12に示す実施例と同一の構造を有する。異なる点は、このNチャネル型MISトランジスタがLDD構造を有する事である。即ち、ゲート電極Gの側壁部分に設けられた二酸化シリコンからなるサイドスペーサSSの直下には、ソース領域S及びドレイン領域Dに比べて比較的低濃度のN型不純物が導入されておりLDD構造を構成している。このLDD領域の直下に位置する部分BのP型不純物濃度は、内部領域Rに比べて比較的大きく設定されており、寄生チャネルを効果的に抑制している。

【0041】図14は寄生チャネルを抑制する為のさらに別の実施例を示し、SOI基板上に相補型のMISトランジスタが形成されている。厚さが $500 \sim 700 \mu\text{m}$ の単結晶シリコン基板SUBの上には厚さが数十nmから数 μm のシリコン酸化膜BOXが形成されている。Nチャネル型MISトランジスタのソース領域SNとドレイン領域DNは $0.3 \sim 0.5 \mu\text{m}$ の深さに制御可能である。このNチャネル型MISトランジスタは、さらに多結晶シリコンからなるゲート電極GN、シリコン酸化膜からなるゲート絶縁膜GOXN及び薄い濃度のP型不純物領域からなるPウェルPWを有している。一方、Pチャネル型MISトランジスタは、ソース領域SP、ドレイン領域DP、多結晶シリコンからなるゲート電極GP、シリコン酸化膜からなるゲート絶縁膜GOXP及び薄い濃度のN型不純物領域からなるNウェルNWから構成されている。これらの相補型MISトランジスタは二酸化シリコンからなるフィールド酸化膜FOXにより互いに素子分離されている。なお、本実施例ではNチャネル型MISトランジスタが形成されている単結晶シリコン層の領域をPウェルと呼び、Pチャネル型MISトランジスタの形成されている単結晶シリコン層の領域をNウェルと呼んでいる。Pウェルはイオン注入等による薄い濃度のP型不純物領域からなるが、仮にSOI基板の単結晶シリコン層がP型不純物を含み、且つイオン注入や拡散によって新たにP型不純物が導入されない場合であっても、Nチャネル型MISトランジスタが形成される領域であればPウェルと呼ぶ事にする。Nウェルについても同様である。

【0042】図14に示す実施例において、Nチャネル型MISトランジスタのソース領域SNとドレイン領域DNの底部は、BOXに接していない。換言すると、反転層あるいは空乏層の生じがちなBOXとPWの界面が

ら離間している為、本実施例では寄生チャネルが生じる惧れがない。又、Pチャネル型MISトランジスタのソース領域SP及びドレイン領域DPの底部もBOXに接していない。加えて、フィールド酸化膜FOXの底部もBOXに接していない。

【0043】図15はBOXの上に形成されたNチャネル型MISトランジスタの平面図を示す。ソース領域SNとドレイン領域DNは、N型不純物を高濃度に含んだ多結晶シリコンからなるゲート電極GNによって両側に分離されている。ソース領域SN、ドレイン領域DN及びゲート電極GN以外の部分は厚い二酸化シリコン層からなるフィールド酸化膜FOXにより覆われている。

【0044】図16はフィールド酸化膜FOXの底部が電気絶縁物BOXに接している構造における、Nチャネル型MISトランジスタのチャネル幅方向断面構造を示している。即ち、図15に示した直線E-Fに沿って切断した断面形状である。この図では、単結晶シリコン基板SUB、電気絶縁物BOX、PウェルPW、ゲート絶縁膜GOXN、フィールド酸化膜FOX及びゲート電極GNが表われている。図示されないソース領域SNとドレイン領域DNは紙面に対して垂直方向の前方と後方に位置し、電流の流れる方向も紙面に垂直である。フィールド酸化膜FOXの端部は通常テーパー上に形成されバースピークBBと呼ばれている。フィールド酸化膜FOXを形成した後、バースピークBBの下に非常に厚みの薄い単結晶シリコン層の部分（ハッチングで示されている）rが残される。PウェルPWに含まれるP型不純物には通常ボロンが使われる。単結晶シリコンを酸化処理した時、シリコン表面近傍に存在していたボロンは、前述した偏析によりシリコン酸化膜中に取り込まれ易い。この為、フィールド酸化膜FOXを形成した時、バースピークBB直下の単結晶シリコン層の部分rに含まれるボロンの内、かなりの量がフィールド酸化膜FOXの中に吸収されてしまう。この為、バースピークBB直下の薄い厚みの単結晶シリコンの領域rにおける不純物ボロン濃度は、ゲート酸化膜GOXN直下のPウェルに含まれるボロン濃度よりも相当低下する。

【0045】通常、絶縁ゲート電界効果型トランジスタの場合、電流の流れる箇所はチャネルと呼ばれゲート絶縁膜直下に位置する。Nチャネル型MISトランジスタの場合、チャネル領域のボロン濃度がある程度高いとチャネルが導通する為に必要なゲート電圧の閾値もある程度高くなる。しかしながら、SOI基板上に形成されたNチャネル型MISトランジスタにおいて、図16に示す様にフィールド酸化膜FOXの底部が電気絶縁物BOXに接触していると、ボロン濃度が非常に薄い部分rが形成され、その部分の閾値電圧が低下する。加えて、ソース領域及びドレイン領域の底部がBOXに接している場合には、このボロン濃度の低い部分rが寄生的な電流通路になってしまう。図16に示すバースピークBB直

下の部分rは、図15においてハッチングで示した部分rに対応している。このNチャネル型MISトランジスタの幅方向両端部に位置する部分rに寄生チャネルが生じリーク電流が増大する。

【0046】この様な寄生チャネルを防止する為に、前述した図14に示す実施例では、フィールド酸化膜FOXの底部が電気絶縁物BOXに接していない構造となっている。この点をより明確にする為に、図17に本実施例にかかるNチャネル型MISトランジスタのチャネル幅方向断面構造を示す。すなわち、図17の構造は図14に示した構造に対応している。図から明らかな様に、フィールド酸化膜FOXの底部は電気絶縁物BOXから離間している。従って、バースピークBBの下部には相当程度の厚みを有する単結晶シリコン層が残されている。この為、バースピークBB直下に位置する部分rに含まれるP型不純物であるボロンの濃度は極端に低下する事が無い。即ち、フィールド酸化膜FOXを形成する為に単結晶シリコン層のLOCOS酸化処理を行なう際、バースピークBB直下の部分rに含まれるボロンはFOX中に移動するが、この部分rのさらに下側にP型の単結晶シリコン層が残されている為ボロンの供給を受ける事ができる。従って、かかる構造によれば、図15及び図16を参照して説明した様なNチャネル型MISトランジスタのチャネル幅方向両端部に寄生チャネルが形成される惧れが無い。

【0047】図18は、図14に示した実施例の変形例を表わしており、理解を容易にする為に対応する部分には対応する参照符号を付してある。異なる点は、フィールド酸化膜FOXの底部とPチャネル型MISトランジスタのソース領域SP及びドレイン領域SDがともに電気絶縁物BOXに接しているが、Nチャネル型MISトランジスタのソース領域SN及びドレイン領域DNの底部はBOXに接していない事である。Nチャネル型MISトランジスタのソース領域及びドレイン領域の底部がBOXに接していない限り、フィールド酸化膜FOXの底部がBOXに接していても、Nチャネル型MISトランジスタのチャネル幅方向両端部に寄生チャネルが生じる惧れが無い。Pチャネル型MISトランジスタのソース領域及びドレイン領域の底部がBOXに接していても、Pチャネル型MISトランジスタでは前述した様に寄生チャネルが生じにくく、リーク電流が低く抑えられる。

【0048】図19は、図14に示した実施例のさらに他の変形例を表わしており、同様に理解を容易にする為に対応する部分には対応する参照符号を付してある。異なる点は、フィールド酸化膜FOXの底部がBOXに接しているが、Nチャネル型MISトランジスタのソース領域SN及びドレイン領域DNの底部とPチャネル型MISトランジスタのソース領域SP及びドレイン領域DPの底部がともにBOXに接していない事である。この

場合にも、図14の実施例において説明したと同様に、Nチャネル型MISトランジスタとPチャネル型MISトランジスタの両方ともに寄生チャネルは発生せず、リーク電流を低く抑制する事が可能である。

【0049】図20は、図14に示した実施例のさらに別の変形例を示す模式的な断面図であり、対応する部分には対応する参照符号を付して理解を容易にしている。異なる点は、PウェルPWの領域に位置する第1のフィールド酸化膜FOX1と中央第2のフィールド酸化膜FOX2の左半分の底部、及びNチャネル型MISトランジスタのソース領域SNとドレイン領域DNの底部がBOXに接していない事である。他方、NウェルNWの領域に位置する第3のフィールド酸化膜FOX3と前述した第2のフィールド酸化膜FOX2の右半分の底部、及びPチャネル型MISトランジスタのソース領域SPとドレイン領域DPの底部はBOXに接している。図20に示した変形例では、図14、図18及び図19に示した実施例と異なり、Nチャネル型MISトランジスタが形成されているPウェルPWを構成する単結晶シリコン層の厚み t_{si} が、Pチャネル型MISトランジスタが形成されているNウェルNWを構成する単結晶シリコン層の厚み t_{si} より大きく設定されている事である。かかる構造にすれば、Nチャネル型MISトランジスタのソース領域SN及びドレイン領域DNを電気絶縁物層BOXから離間する事ができる。図20に示した変形例においても、図18及び図19において説明したと同様に、相補型MISトランジスタのどちらにも寄生チャネルは発生せず、リーク電流を抑制できるという利点がある。

【0050】図14、図18、図19及び図20に示した実施例では、何れもSOI基板上に相補型のMISトランジスタが形成されているが、本発明はこれに限られるものではない。相補型のMISトランジスタに加えてバイポーラトランジスタ等も同時に形成する事ができる。即ち、本発明にかかる半導体装置は所謂CMOS ICに限定されるものではなく、BICMOS IC等を含むものである。

【0051】次にバイポーラアクション（バイポーラ動作）対策を目的とした実施例について説明する。SOI基板に形成されたトランジスタでは単結晶シリコン層からなる基板電位が浮いた状態にある。この為、Nチャネル型MISトランジスタではホールが基板に蓄積され易く、Pチャネル型MISトランジスタでは電子が基板に溜り易い。これらのキャリアが基板に溜るとソース領域と基板間のバリアハイト（PN接合の内部電位でありビルトインポテンシャルと呼ばれる）が下げられ、ソース領域からキャリアが基板に向かって流れ出す。所謂バイポーラアクションであり先に図28を参照して説明した通りである。このバイポーラアクションを防ぐ為に基板電位を固定する必要がある。以下にその実施例を説明する。

【0052】先ず実施例の説明に入る前に、理解を容易にする為に図21及び図22を参照して背景技術について若干の説明を加える。図21はアクティブマトリクス型光弁装置に用いられる駆動基板の平面図であり、特に画素領域のみを示してある。この画素部は電気絶縁物（図示せず）の上に設けられた単結晶シリコン層s-Siに形成されている。この駆動基板の表面には行方向に沿って多結晶シリコンからなる走査線Gが設けられており、その一部がゲート電極を構成する。又、マトリクス状に複数の画素電極Eが形成されている。この画素電極Eは厚みが数十nm程度の多結晶シリコンからなり実質的に透明である。個々のトランジスタは単結晶シリコン中の高濃度の不純物層からなるソース領域S及びドレイン領域Dとから構成されている。ソース領域SはコンタクトホールCONを介して対応する画素電極Eに接続されている。又、ドレイン領域Dは他のコンタクトホールCONを介してアルミニウム等の金属からなる信号線（図示せず）に接続されている。

【0053】図22は、画素スイッチング素子を構成する個々のトランジスタのチャネル長手方向に沿って切断した断面形状を示す。即ち、図21に示す直線X-Xに沿って切断された断面形状を示し、Pチャネル型MISトランジスタの場合を表わしている。このトランジスタはN型不純物を含むNウェルWを備えている。その上にはゲート酸化膜GOXを介して前述した走査線の一部からなるゲート電極Gがバタニング形成されている。NウェルWの両側には高濃度のP型不純物を含むソース領域Sとドレイン領域Dとが形成されている。かかる構成を有するNチャネル型MISトランジスタは下地のシリコン酸化膜BOXの上に設けられている。このトランジスタは素子分離用のフィールド酸化膜FOXによって囲まれている。ソース領域Sは薄い多結晶シリコン膜p-Siを介して図示しない画素電極に接続されている。ゲート電極Gは画素電極から電気的に分離する為にシリコン酸化膜SiO₂で被覆されている。アルミニウム等の金属からなる信号線SIGはトランジスタのソース領域Dに電気的に接続されている。信号線SIGと画素電極は中間絶縁膜PSGによって互いに絶縁されている。本例では、N型不純物領域からなるNウェルWとソース領域S及びドレイン領域Dは電気絶縁物BOXの上に設けられた単結晶シリコン層に形成されている。図示する様に、この単結晶シリコン層の厚みt₁が薄いとソース領域S及びドレイン領域Dの底面は下地のシリコン酸化膜BOXに直接接する事になる。又、単結晶シリコン層の厚みt₁が薄いため、フィールド酸化膜FOXの底部も下地酸化膜BOXに接してしまう。かかる構成を有する画素スイッチング素子用トランジスタを安定的に動作させるためにはNウェルWの電位を固定する必要がある。しかしながらNウェルWはフィールド酸化膜FOXによって完全に囲まれており島状に分離している。換言すると、

NウェルWを構成する単結晶シリコン層の部分は、図示しない周辺ドライバー回路部を構成する単結晶シリコン層から分離しており、内部的に基板電位をとる事が不可能に近い。

【0054】そこで、アクティブマトリクス型光弁装置の駆動基板において、画素スイッチング素子用トランジスタの基板電位を固定する事を目的とする実施例を図23に示す。図示しない電気絶縁物の表面に単結晶シリコン層s-Siが設けられており、これに個々の画素スイッチング素子用トランジスタが形成される。この駆動基板には多結晶シリコンからなる走査線Gが形成されており、一部トランジスタのゲート電極を兼ねる。又厚みが数十nm程度の多結晶シリコンからなる画素電極Eも形成されている。トランジスタは単結晶シリコン層s-Si中に含まれる高濃度のP型不純物層からなるソース領域S及びドレイン領域Dを備えている。又ドレイン領域Dの近傍には、反対導電型の高濃度N型不純物領域WRが設けられている。ソース領域Sは第1コンタクトホールCON1を介して画素電極Eに接続されている。又ドレイン領域Dは第2コンタクトホールCON2を介して図示しないアルミニウム等の金属からなる信号線に接続されている。さらに、前述したN型の高濃度不純物領域WRは第3コンタクトホールCON3を介して接地電位を与える他のアルミニウム等からなる金属配線（図示せず）に接続されている。

【0055】図24は、図23に示した直線Y-Yに沿って切断した画素スイッチング素子用トランジスタの断面構造を示す。この例では、画素スイッチング素子はPチャネル型のMISトランジスタからなる。このトランジスタはN型不純物を含むNウェルWに形成されている。このNウェルWの直上にはゲート酸化膜GOXを介して走査線の一部からなるゲート電極Gがバタニング形成されている。NウェルWの両側には高濃度のP型不純物層からなるソース領域Sと反対導電型の高濃度N型不純物領域WRが設けられている。なお、ドレイン領域DはN型不純物領域WRの背後に隠れて図示されない。このトランジスタは数百nmないし数μmの厚みを有する下地シリコン酸化膜BOXの上に設けられている。その素子領域はフィールド酸化膜FOXによって他のトランジスタから分離されている。ソース領域Sは薄い多結晶シリコン膜p-Siを介して図示しない画素電極に接続される。又、ゲート電極Gを構成する多結晶シリコン膜と図示しない画素電極を構成する多結晶シリコン膜はシリコン酸化膜SiO₂により互いに絶縁されている。又、接地電位を与える為のアルミニウム金属配線A1は前述したN型の高濃度不純物領域WRに接続している。アルミニウム配線A1と画素電極は中間絶縁膜PSGによって互いに絶縁されている。周辺のドライバー回路から導かれた接地電位を与える為のアルミニウム金属配線A1は、電気的に高濃度N型不純物領域WRに接続されてい

る。従って、この高濃度N型不純物領域WRに接しているNウェルWの電位は接地電位に安定的に固定される。

【0056】図31は本発明にかかる半導体装置を駆動基板として利用した光弁装置の一実施例を示しており、特にアクティブマトリクス型液晶光弁装置を示している。この光弁装置は、本発明にかかる半導体装置からなる駆動基板201と透明なガラス等からなる対向基板202をスペーサ203を介して互いに積層接着した構造を有し、両基板の間には電気光学物質である液晶204が充填封入されている。駆動基板201は、電気絶縁物205の上に設けられたシリコン単結晶層206等に形成された集積回路を、接着剤層207により保持部材208に転写した構造を有している。前述した様に、集積回路を保護するパッシベーション膜209の最上層にはシリコンオキシナイトライド膜あるいはシリコン窒化膜210が配置しており、接着剤層207に含まれる水分や水素から集積回路を有効に保護しており電気特性の劣化を防止できる。駆動基板201は周辺ドライバー回路部と、画素部に分けられる。画素部にはマトリクス状に配列された画素電極211とこれを駆動する画素スイッチング素子212が集積的に形成されている。周辺ドライバー回路部は遮光膜213により裏面側から被覆されている。又画素スイッチング素子212も裏面側から遮光膜213により被覆されている。周辺ドライバー回路部に位置する電気絶縁物205の厚み t_2 は、画素部に位置する電気絶縁物の厚み t_1 に比べて大きく設定されている。特に、画素部の電気絶縁物205の膜厚を薄くする事により、液晶204に対して電界が効果的に加わる様に考慮を払っている。

【0057】駆動基板201の画素部裏面側には配向膜214が形成されている。又、対向基板202の内表面には共通電極215及び配向膜216が設けられている。

【0058】図32は、図31に示した透過型の光弁装置を利用して構成された画像プロジェクション装置を示す。この画像プロジェクション装置301は、ランプ等の発光源302と3枚の光弁装置303~305とから構成されている。発光源302からの光を光弁装置303~305に照射し光弁装置上の画像を光学レンズ306によって拡大投影する。本例ではRGB三原色画像に対応して3個の光弁装置が用いられている。光源光は第1のミラーM1により反射された後フィルター307を通過し、第1のダイクロイックミラーDM1によりR成分と残りのG及びB成分に分けられる。R成分は第2のミラーM2により反射された後コンデンサレンズC1を通過し第1の光弁装置303を照射する。一方G成分は第2のダイクロイックミラーDM2により分離された後コンデンサレンズC2を介して第2の光弁装置304を照射する。残りのB成分はコンデンサレンズC3を介して第3の光弁装置305を照射する。各光弁装置を透過

したR、G及びB成分はダイクロイックミラーDM3、DM4及びミラーM3を介して合成され、光学レンズ306により拡大投影される。

【0059】前述した様に、個々の光弁装置は、画素電極と所定の信号に応じて該画素電極を励起する為の駆動回路とが形成された駆動基板と、該駆動基板に対向配置した対向基板と、該駆動基板と該対向基板の間に配置された液晶等の電気光学物質層からなる。この駆動基板は、透明電気絶縁物と該透明電気絶縁物の上に形成された単結晶半導体層と、該透明電気絶縁物の単結晶半導体層側と反対側の裏面に設けられた遮光層とを有している。駆動回路は、単結晶半導体層に形成されたトランジスタ素子を含んでおり、遮光層はこのトランジスタ素子の能動部を被覆する様に設けられている。画素電極は単結晶半導体層に集積的に配置され、且つ駆動回路と電気的に接続されている。駆動回路により画素電極を励起して電気光学物質に作用しその光透過性を制御して光弁機能を奏する。

【0060】次に、図33及び図34を参照して光弁装置の製造方法を説明する。先ず図33の(A)に示す第1工程において、仮基板401と単結晶半導体層402を透明電気絶縁物403を介して積層した三層からなるSOI基板を用意する。本例では仮基板401は500~700 μm の厚みを有する単結晶シリコンからなり、単結晶半導体層402は1 μm 程度の厚みを有する薄膜単結晶シリコンからなり、透明電気絶縁物403は1 μm 程度の厚みを有する二酸化シリコンからなる。

【0061】次に(B)に示す第2工程において、SOI基板の単結晶半導体層403を選択的に除去した部分あるいは選択的に二酸化シリコン膜を形成した部分に画素電極404を形成する。さらに、該単結晶半導体層403に画素スイッチング素子405や該画素スイッチング素子405へ信号を選択的に供給する為のドライバー集積回路406等からなる駆動部を形成する。さらに、この駆動部をパッシベーション膜407により被覆する。このパッシベーション膜407の最上層408は前述した様にシリコンオキシナイトライド膜あるいはシリコン窒化膜からなる。

【0062】(C)に示す第3工程において、画素電極404及び駆動部を形成したSOI基板表面上に、接着剤層409を介して透明なガラス等からなる保持部材410を載置する。好ましくはパッシベーション膜407と接着剤層409との間に平坦化層411を介在させる。

【0063】次に図34の(D)に示す第4工程において、仮基板を除去し透明電気絶縁物403を表出させる。仮基板の除去は透明絶縁物403をエッチングストッパとしてエッチング処理により行なう事ができる。

【0064】(E)に示す第5工程において、該表出した透明電気絶縁物403の所定位置に貫通孔412を設

ける。さらに該表出した透明電気絶縁物 403 の表面全体に金属膜を形成する。続いて第 6 工程において、該金属膜をパタニングして、少なくとも駆動部の一部又は全部を覆う様に遮光層 413 を形成するとともに電極パッド 414 も同時に形成する。この電極パッド 414 は、前述した貫通孔 412 を介して駆動部と電気的に接続し、外部電極引き出しが行なわれる。最後に、図示しないが第 7 工程において、駆動基板の遮光層を形成した裏面側に対して、透明電極を予め形成した対向基板をギャップを設けて積層接着し、該ギャップに電気光学物質を充填して光弁装置を完成する。

【0065】最後に、本発明にかかる半導体装置を作成する為に用いられる SOI 基板の製造方法について説明する。現在、単結晶シリコンを使った SOI 基板の内、主に使われているウェハは 2 種類ある。1 つは単結晶シリコン基板に酸素原子を所定の深さでイオン注入し、その後アニールする事により製造されるものであり、SIMOX と呼ばれている。このウェハは SOI 層の単結晶シリコン厚みのばらつきが非常に小さい利点を有している。しかしながら、この SIMOX ウェハでは、SOI シリコン層の厚みが約 0.2 μm 以下でないと、アニール後に良好な単結晶シリコンを得る事ができない。SOI 層の単結晶シリコンの厚みがこの様に薄いと、形成される N チャネル型 MIS トランジスタと P チャネル型 MIS トランジスタの双方のソース領域及びドレイン領域の底部が BOX に接触してしまい、寄生チャネルを抑制する事が困難になる。

【0066】そこで、本発明では主として貼り合わせ法により作成された SOI 基板を利用している。図 35 に貼り合わせ SOI 基板の例を示す。(A) に示す SOI 基板は最も基本的なものであり、単結晶シリコン基板 501 の上にシリコン酸化膜 502 を介して単結晶シリコン層 503 が貼り合わされている。

【0067】(B) に示す SOI 基板では、単結晶シリコン基板 501 と単結晶シリコン薄膜 503 との間に三層の電気絶縁物質が介在している。この電気絶縁物質層は中間の窒化シリコン膜 504 を上下から酸化シリコン膜 505 及び 506 で挟持した構成となっている。窒化シリコン膜は内部的に引張り応力が働く。一方酸化シリコン膜は圧縮応力が働く。両者を積層する事により引張り応力と圧縮応力が相殺し全体としてストレスを緩和する事ができる。

【0068】(C) に示す SOI 基板構造では、単結晶シリコン基板 501 と単結晶シリコン薄膜 503 との間に二層のシリコン窒化膜 507 及びシリコン酸化膜 508 が介在している。同様に引張り応力と圧縮応力が互いに相殺する為反り変形等の少ない SOI 基板が得られる。

【0069】(D) に示す SOI 基板の構造では、(C) に示す SOI 基板の構造に加えて、さらに二層の

窒化シリコン膜 509 及び酸化シリコン膜 510 を加えている。

【0070】最後に、特に図面を参照しないが、まとめとして本発明にかかる半導体装置の製造方法の基本的なプロセスを説明する。先ず第 1 工程として、仮基板の上に電気絶縁物を介して積層された単結晶半導体層を有する SOI 基板を形成する。第 2 工程において、該単結晶半導体層に対して集積回路を形成する。第 3 工程において、形成された集積回路の表面に対して該仮基板と反対側に保持部材を面接着固定する。第 4 工程において、該仮基板を除去し平坦な電気絶縁物を露出する。最後に、第 5 工程において、該露出した平坦な電気絶縁物の表面に対して少なくとも電極形成を含む処理を行なう。好ましくは、第 1 工程はシリコンからなる仮基板の上に二酸化シリコンからなる電気絶縁物を介して単結晶シリコンからなる半導体基板を熱圧着により固定した後、該半導体基板を研磨して薄膜化し単結晶シリコン層を有する SOI 基板を形成する。さらに好ましくは、第 1 工程において、シリコンからなる仮基板の上に下地処理として窒化シリコン層を堆積し続いて CVD により二酸化シリコン層を堆積する事により電気絶縁物を形成した後、熱圧着により該半導体基板を固定する工程を含む。又、第 4 工程は、二酸化シリコン層又は窒化シリコン層をエッチングストップとして該仮基板をエッチングあるいは研磨とエッチングの両方により除去する。さらに、第 3 工程は、二酸化シリコンを主成分とする接着剤を用いて保持部材を面接着固定する。あるいは、第 3 工程は集積回路の表面に対して接着剤を供給し固化して単層構造を有する保持部材を設ける工程でも良い。

【0071】

【発明の効果】以上説明した様に、本発明によれば、SOI 基板に形成された集積回路を接着剤層等を介して透明な保持部材側に転写し半導体装置を構成している。この際、集積回路を被覆するパッシベーション膜の最上層にシリコンオキシナイトライド膜又はシリコン窒化膜を設ける事により、接着剤層に含まれる水分や水素等を完全に遮断し、集積回路の電気特性の劣化を防止し信頼性を改善する事ができるという効果がある。又、集積回路を転写する際、接着剤層とパッシベーション膜の間に平坦化層を介在させる事により接着強度を高める事ができるという効果がある。特に、平坦化層として二酸化シリコン系の材料を用いた場合には、集積回路への影響が少なく安定した信頼性を維持する事ができるという効果がある。本発明にかかる半導体装置をアクティブマトリクス型光弁装置の駆動基板として用いる場合には、画素部に含まれるスイッチングトランジスタをポリシリコンあるいはアモルファスシリコンで形成する事により、光リーク電流を抑制する事ができるという効果がある。一方、周辺ドライバー回路部は単結晶シリコンをそのまま利用したトランジスタで形成する事により、ドライバビ

リティイーが高く小面積で高速度な駆動回路を得る事ができるという効果がある。

【0072】又、本発明によればシリコン単結晶層と電気絶縁物BOXの界面に対して、ソース領域及びドレイン領域と反対導電型の不純物を比較的高濃度で導入する事により寄生チャネルを抑制する事ができるという効果がある。又、特にNチャネル型MISトランジスタのソース領域及びドレイン領域底部を下地電気絶縁物から離間する事により寄生チャネルを抑制する事ができるという効果がある。同様に、Nチャネル型MISトランジスタが形成された領域を囲むフィールド酸化膜の底部を下地電気絶縁物から離間する事により寄生チャネルを防ぐ事ができるという効果がある。

【0073】本発明にかかる半導体装置を光弁装置の駆動基板に利用した場合、画素部に形成されるスイッチングトランジスタ素子には光照射が加わる惧れがある。この為、画素スイッチングトランジスタの寸法を周辺駆動回路トランジスタの寸法に比べて小さくする事により光リーク電流の増大を防いでいる。特に、リーク電流抑制の点で有利なPチャネル型MISトランジスタを画素スイッチング素子として利用する事によりオン/オフ特性を改善する事ができるという効果がある。さらに、画素スイッチングトランジスタの形成されるシリコン単結晶層の厚みを、周辺駆動トランジスタの形成される単結晶シリコン層の厚みに比べて小さく設定する事によりリーク電流を抑制できるという効果がある。

【0074】加えて、単結晶シリコン層に形成されたトランジスタの基板電位を固定する事により、所謂バイポーラ動作に基づくリーク電流を抑制する事ができるという効果がある。

【0075】本発明によれば貼り合わせ法により形成されたSOI基板を用いる事により製造コストが低く且つ信頼性の高い半導体装置を提供する事ができるという効果がある。特に、シリコン単結晶層と単結晶シリコン基板を貼り合わせる際酸化膜と酸化膜の二層構造を電気絶縁物として使用する事により引張り応力と圧縮応力が互いに相殺しSOI基板の変形を有効に防止する事ができるという効果がある。

【0076】加えて、本発明にかかる半導体装置を光弁装置用の駆動基板として用いる場合、露出した電気絶縁物の厚みを画素部に特に薄化する事により、光弁を駆動する為の電界を有効に発生する事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の基本的な構成を示す模式的な断面図である。

【図2】本発明にかかる半導体装置の第一実施例を示す断面図である。

【図3】本発明にかかる半導体装置の第二実施例を示す断面図である。

【図4】本発明にかかる半導体装置の第三実施例を示す模式図である。

【図5】リーク電流抑制に効果的なチャネル構造を有するMISトランジスタの一例を示す断面図である。

【図6】同じくリーク電流抑制型のチャネル構造を有するMISトランジスタを示す断面図である。

【図7】同じくリーク電流抑制型のチャネル構造を有するMISトランジスタを示す断面図である。

【図8】同じくリーク電流抑制構造を有するMISトランジスタを示す断面図である。

【図9】図5に示すA-B線に沿って測定された不純物濃度プロファイルを示すグラフである。

【図10】図6に示すC-D線に沿って測定された不純物濃度プロファイルを示すグラフである。

【図11】図5に示すMISトランジスタの製造方法を示す工程図である。

【図12】リーク電流抑制構造を有するMISトランジスタを示す断面図である。

【図13】同じくリーク電流抑制構造を有するLDD型MISトランジスタを示す断面図である。

【図14】リーク電流抑制構造を有する相補型MISトランジスタの断面図である。

【図15】寄生チャネルの発生構造を説明する為の模式的な平面図である。

【図16】図15に示すE-F線に沿って切断された断面図である。

【図17】寄生チャネル抑制構造を説明する為の模式的な断面図である。

【図18】寄生チャネル抑制構造を有する相補型MISトランジスタの断面図である。

【図19】同じく寄生チャネル抑制構造を有する相補型MISトランジスタを示す断面図である。

【図20】同じく寄生チャネル抑制構造を有する相補型MISトランジスタの断面図である。

【図21】バイポーラアクションを説明する為の平面図である。

【図22】図21に示すX-X線に沿って切断された断面図である。

【図23】基板電位の固定された構造を有する実施例を示す平面図である。

【図24】図23に示すY-Y線に沿って切断された断面図である。

【図25】寄生チャネルの発生機構を説明する為の模式図である。

【図26】単結晶シリコン層と電気絶縁物との界面近傍における不純物ボロンの濃度プロファイルを示すグラフである。

【図27】同じく単結晶シリコン層と電気絶縁物との界面近傍における不純物ホールの濃度プロファイルを示すグラフである。

27

【図28】光リーク電流発生機構を説明する為の模式図である。

【図29】単結晶シリコン層におけるエネルギー準位図である。

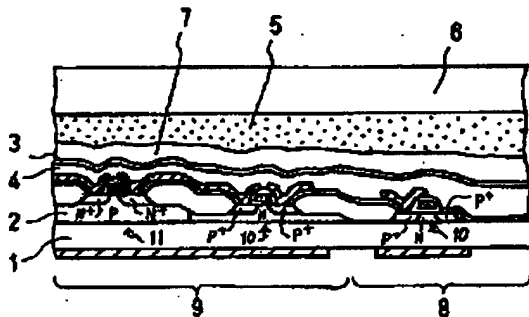
【図30】MISトランジスタのゲート電圧とドレイン電流との関係を示すグラフである。

【図31】本発明にかかる半導体装置を利用して構成されたアクティブマトリクス型光弁装置を示す模式図である。

【図32】図31に示す光弁装置を用いて構成された画像プロジェクション装置を示す模式図である。

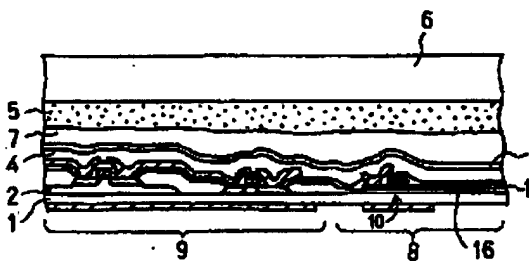
【図33】本発明にかかる光弁装置の製造方法を示す工程図である。

【図1】

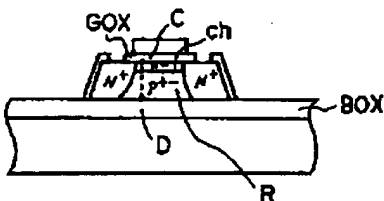


- | | |
|-------------------------------|---------------|
| 1 電気絶縁物 | 8 保持部材 |
| 2 単結晶シリコン層 | 7 平坦化層 |
| 3 シリコンオキシナイトライド膜
又はシリコン窒化膜 | 6 画素スイッチング素子群 |
| 5 接合剤層 | 9 ドライバ集積回路 |

【図3】



【図6】



28

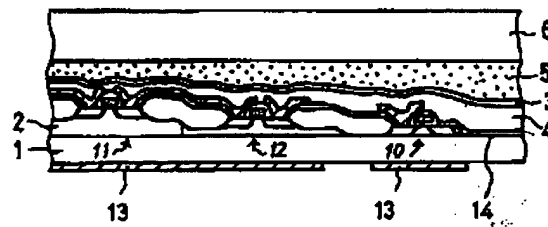
【図34】同じく本発明にかかる光弁装置の製造方法を示す工程図である。

【図35】本発明にかかる半導体装置の製造に用いられるSOI基板の例を示す模式的な断面図である。

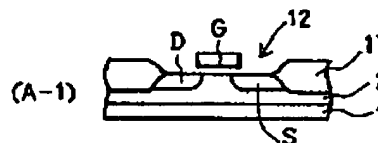
【符号の説明】

- 1 電気絶縁物
- 2 単結晶シリコン層
- 3 シリコンオキシナイトライド膜又はシリコン窒化膜
- 5 接合剤層
- 6 保持部材
- 7 平坦化層
- 8 画素スイッチング素子群
- 9 ドライバ集積回路

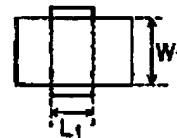
【図2】



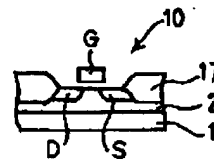
【図4】



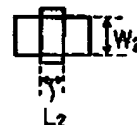
(A-2)



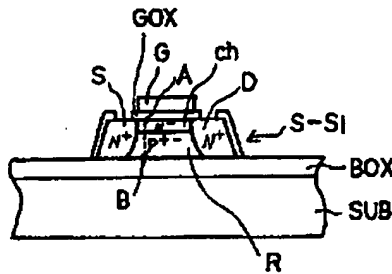
(B-1)



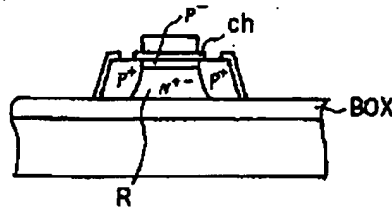
(B-2)



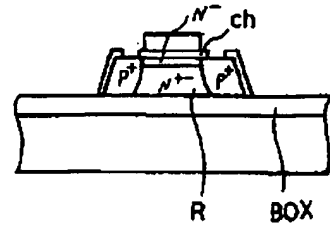
【図5】



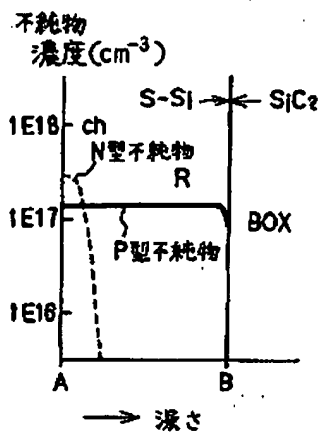
【図7】



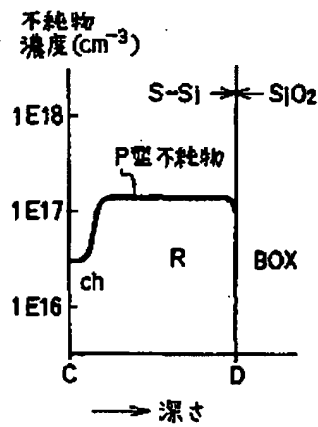
【図8】



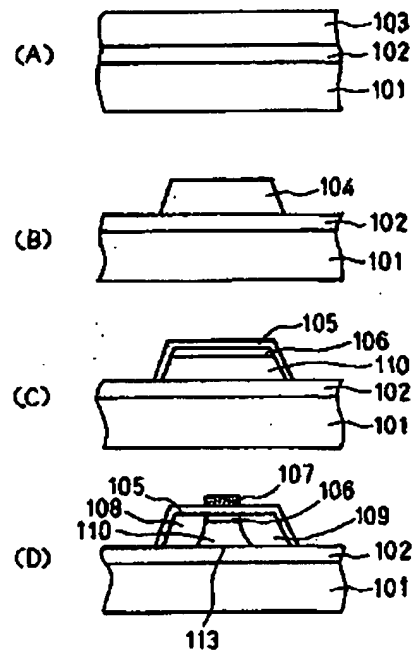
【図9】



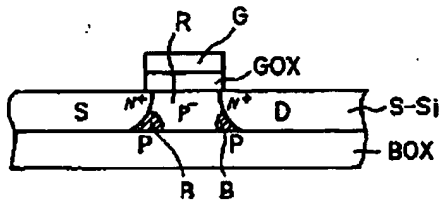
【図10】



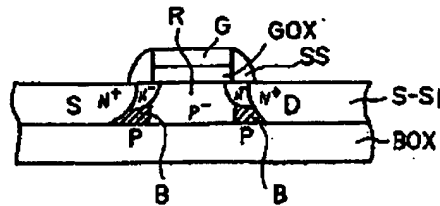
【図11】



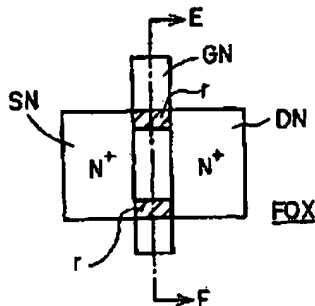
【図12】



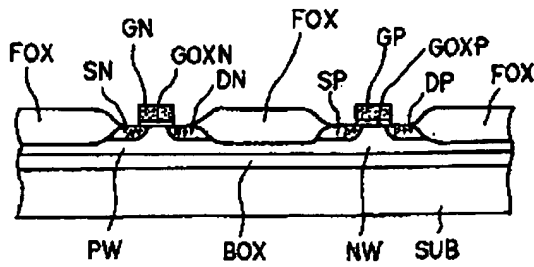
【図13】



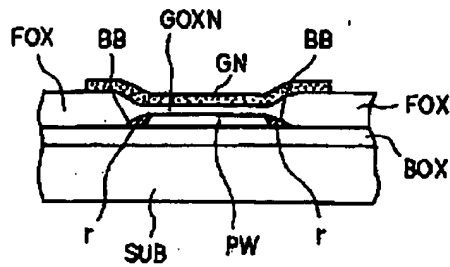
【図15】



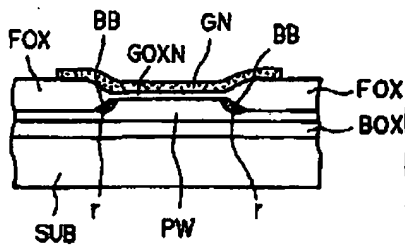
【図14】



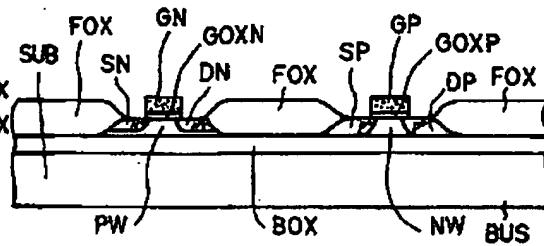
【図16】



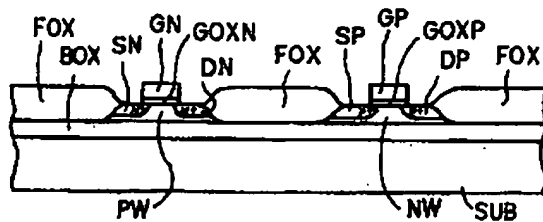
【図17】



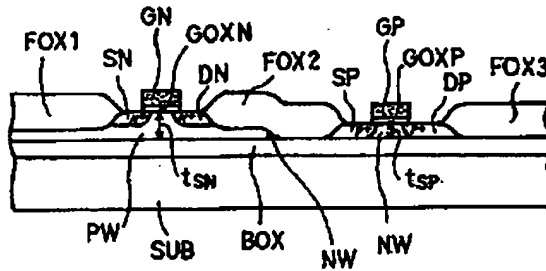
【図18】



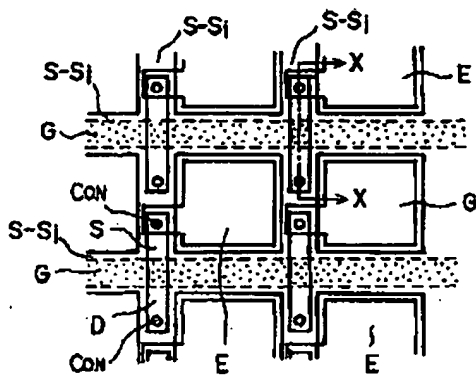
【図19】



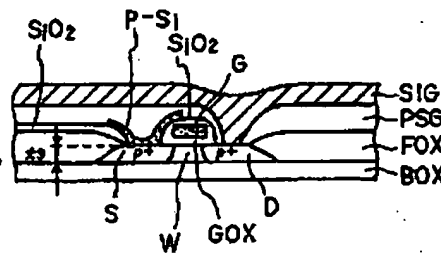
【図20】



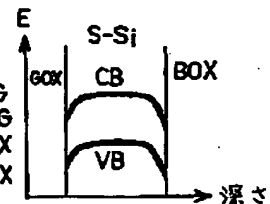
【図21】



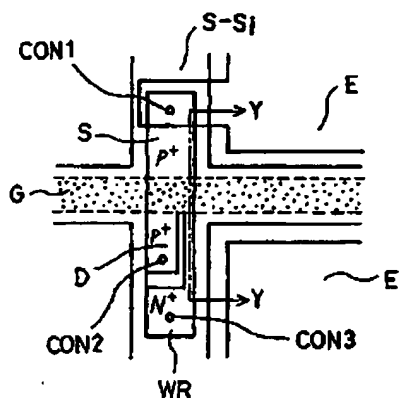
【図22】



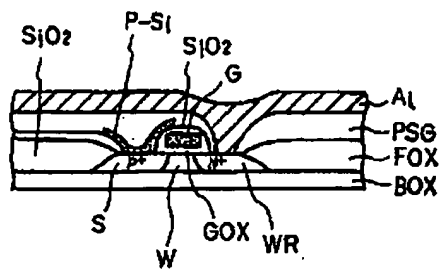
【図29】



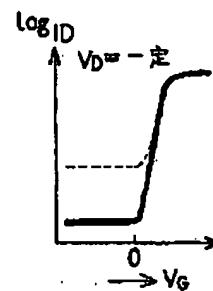
【図23】



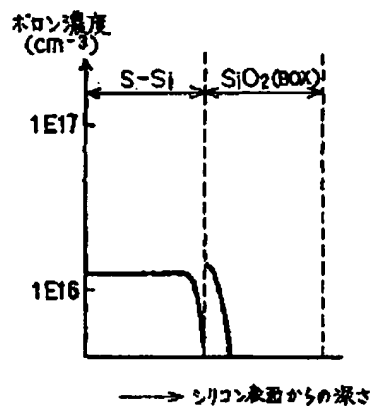
【図24】



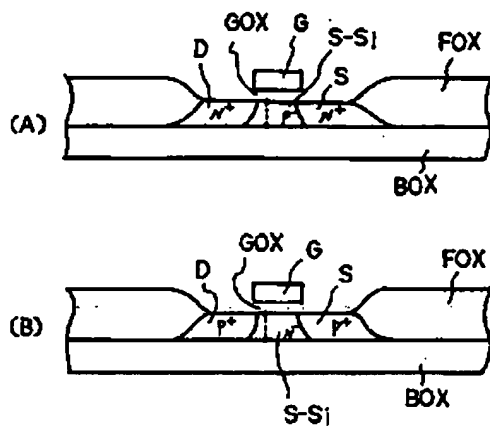
【図30】



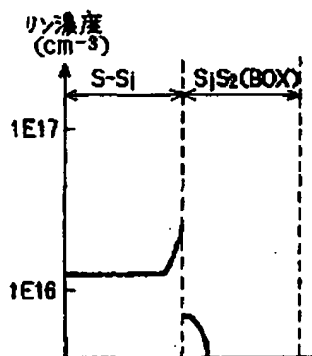
【図26】



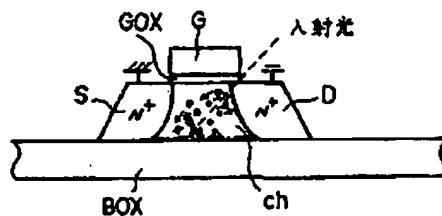
【図25】



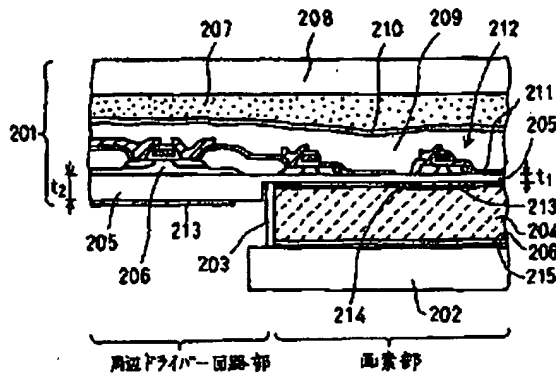
【図27】



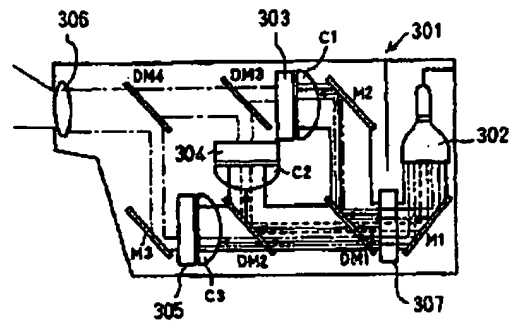
【図28】



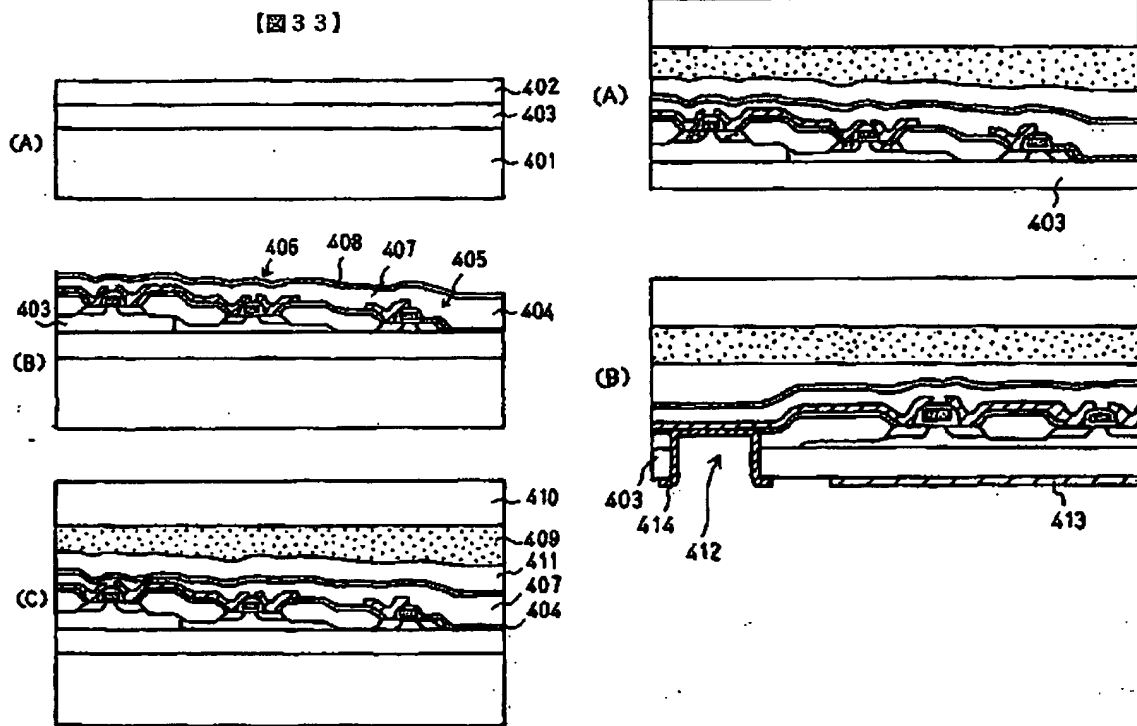
【図 3 1】



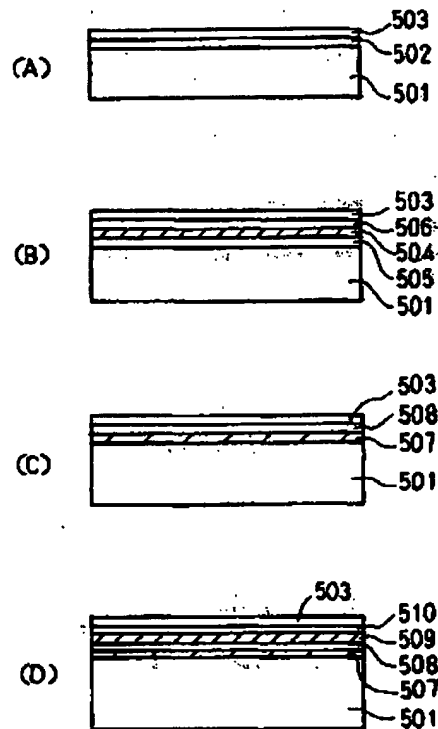
【図 3 2】



【図 3 4】



【図35】



【手続補正書】

【提出日】平成5年11月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に関する。より詳しくは、アクティブマトリクス型液晶表示装置等の光弁装置に用いられる半導体駆動基板に関する。さらに詳しくは、画素スイッチング素子群及び周辺ドライバ回路が同一基板上に集積的に形成された構造に関する。

【0002】

【従来の技術】従来、アクティブマトリクス型光弁装置用の駆動基板としては、石英等の絶縁基板上に薄膜トランジスタ(TFT)を集積的に形成した所謂TFT基板が知られていた。例えば、特開平3-101714号公報には半導体薄膜材料として多結晶シリコンを用いたTFT基板が開示されている。又、多結晶シリコンに代えてアモルファスシリコンを用いたTFT基板も知られている。しかしながら、多結晶シリコンやアモルファスシ

リコンのキャリア移動度は比較的小さい為、同一基板上に周辺ドライバ回路を形成する上で困難が伴なうという欠点がある。

【0003】近年、石英等の絶縁基板上に単結晶シリコン層を貼り合わせたウェハを用いて駆動基板を作成する技術が開発されており、例えば特開平3-100516号公報に開示されている。前述した多結晶シリコンやアモルファスシリコンに比べ、単結晶シリコンは高い移動度を有する為、通常のIC製造プロセスを駆使して高性能且つ大容量の周辺ドライバ回路を同時に形成する事ができるという利点がある。しかしながら、実際にはIC製造プロセスにおける最高処理温度が1150℃程度に達する為、単結晶シリコン層と絶縁基板の熱膨張係数の違いから、ウェハの反りが生じ所望の製造歩留りを得る事ができないという欠点がある。

【0004】又、バルクの単結晶シリコンウェハを利用して光弁装置用駆動基板を作成する技術も近年開発されており、例えば第8回インターナショナルワークショップオンフューチャーエレクトロニクス(8TH INTERNATIONAL WORKSHOP ON FUTURE ELECTRON DEVICES)1990年3月14日から16日、日本高知県、

81~84ページに開示されている。バルクの単結晶シリコンウェハを用いれば何ら問題なく通常のLSI製造プロセスが適用できる。しかしながら、光弁装置用基板とするためには透明化する必要があり、ウェハ上に形成された集積回路に対して2回のデバイス転写を行ない、シリコンウェハを透明基板に置換している。この為、製造工程が煩雑になるという欠点がある。

【0005】バルクの単結晶シリコンウェハを透明化する為に必要な2回の転写を1回に削減する為に、エピタキシャル技術を利用した従来例が、例えば特開昭63-90859号公報及び特開昭63-101831号公報に開示されている。この従来例では、単結晶シリコンウェハの表面に絶縁層を形成した後、選択的に窓開けしエピタキシャル単結晶シリコン領域を設けている。このエピタキシャル領域にデバイスを形成した後透明基板に転写しシリコンウェハを除去している。転写に当たっては、デバイス表面をCVDにより二酸化シリコンからなる保護膜で被覆しさらに透明接着剤を用いて透明基板に貼り付けている。この状態で先に述べた絶縁膜をエッチングストップパとしてシリコンウェハのバルク部分を除去する。

【0006】

【発明が解決しようとする課題】最後に説明した第4番目の従来例では、単結晶シリコンウェハを利用しているので通常のIC製造プロセスが適用可能であり、さらにデバイス転写も1回で済むという利点がある。しかしながら、転写を行なう際、シリコンウェハと透明基板あるいは保持部材を接着剤により貼り合わせている。この接着剤にはアルカリ金属等の不純物が含まれている為、デバイス表面には予め保護膜あるいはパッシベーション膜が施されている。前述した様に、この保護膜はCVD等により堆積された膜を含有する二酸化シリコン膜(PSG)からなる。しかしながら、接着剤にはアルカリ金属に加えて水分や水素等も含まれており、デバイスの電気特性の劣化をもたらすという課題あるいは問題点がある。PSG膜はアルカリ金属等の不純物を有効に遮断する事ができるが、水分や水素を透過する為デバイスを十分に保護する事ができない。かかる従来の技術の課題に鑑み、本発明は半導体単結晶層に形成された光弁装置用デバイスを透明保持部材に転写する構造において、デバイスの劣化を防止し信頼性を改善する事を第1の目的とする。

【0007】又、前述した第4の従来例では単結晶シリコンウェハの表面を絶縁膜で被覆し選択的に窓開けしてエピタキシャル領域を形成しデバイスを設けているが、製造工程上複雑且つ煩雑な制御を要し量産に適していないという課題がある。そこで、本発明ではシリコンウェハの表面に予め電気絶縁物を介して単結晶シリコン層を設けた基板(以下SOI基板と言う)を利用してアクティブマトリクス型光弁用の駆動基板を作成する様にして

いる。ところで、電気絶縁物上に設けられた単結晶シリコン層にトランジスタ等のデバイス素子を形成した場合様々な弱点あるいは課題が発生する。これらの課題には、寄生チャネルによるリーク電流の増大、基板電位の不安定化、光リーク電流の発生等が含まれる。そこで、本発明はSOI基板に形成されたトランジスタの電気特性を改善する事を第2の目的とする。

【0008】

【課題を解決するための手段】上述した従来の技術の課題を解決し本発明の目的を達成する為に講じられた手段を図1に示す。本発明にかかる半導体装置は、例えばアクティブマトリクス型光弁装置の駆動基板に用いられる。本半導体装置は、電気絶縁物1上に設けられた単結晶シリコン層2に少なくとも集積回路が形成されている。電気絶縁物1は例えば二酸化シリコン層からなる。本半導体装置はシリコン単結晶ウェハ(図示せず)の上に二酸化シリコン膜からなる電気絶縁物1を介して単結晶シリコン層2を設けたSOI基板を利用して作成されており、図示の完成品状態ではシリコン単結晶ウェハは除去されている。二酸化シリコンからなる電気絶縁物1は当初単結晶シリコン層2とシリコン単結晶ウェハとの間に埋め込まれた状態となっており、以下BOXと呼ぶ事もある。

【0009】単結晶シリコン層2に形成された集積回路はシリコンオキシナイトライド膜又はシリコン窒化膜3を最上層とするパッシベーション膜で被覆されている。本例では、パッシベーション膜は上述したシリコンオキシナイトライド膜又はシリコン窒化膜3と二酸化シリコン膜4の積層構造となっている。このパッシベーション膜上に透明な接着剤層5が介在し、この接着剤層5により電気絶縁物1上に設けられた単結晶シリコン層2が透明な保持部材6に接着固定されている。換言すると、当初SOI基板上に形成された集積回路は保持部材6に転写され透明化が図られている。好ましくは、パッシベーション膜と接着剤層5の間に平坦化層7が介在している。

【0010】電気絶縁物1上に設けられた単結晶シリコン層2に形成された集積回路は、アクティブマトリクス型表示装置用の画素スイッチング素子群8と、該画素スイッチング素子群8を動作させる為のドライバ集積回路9とを含んでいる。画素スイッチング素子群8及びドライバ集積回路9はともに、電界効果型金属・絶縁膜・半導体構造のMISトランジスタから構成されている。画素スイッチング素子群8を個々に構成するMISトランジスタは特にPチャネル型のトランジスタ10が用いられている。一方ドライバ集積回路9は相補型のMISトランジスタから構成されている。本例では、Nチャネル型MISトランジスタ11が形成されている領域の単結晶シリコン層2の厚みは、Pチャネル型MISトランジスタ12が形成されている領域の単結晶シリコ

ン層2の厚みより大きく設定されている。さらに、ドライバ集積回路9が形成されている領域の単結晶シリコン層2の厚みは、画素スイッチング素子群8が形成されている領域の単結晶シリコン層2の厚みよりも大きく設定されている。

【0011】

【作用】本発明によれば、集積回路が形成されている単結晶シリコン層2と接着剤層5との間に、シリコンオキシナイトライド膜又はシリコン窒化膜3を最上層とするパッシベーション膜が介在している。シリコンオキシナイトライド膜又はシリコン窒化膜3の膜厚を例えば100nm以上に設定する事により、接着剤層5に含まれる水分や水素の透過を防止できる。この為、集積回路を構成するトランジスタの電気特性劣化が抑制でき信頼性が改善できる。

【0012】パッシベーション膜と接着剤層5の間には平坦化層7が介在している。この平坦化層7は例えば二酸化シリコン系のものが用いられ、集積回路への悪影響がなく化学的に安定で且信頼性が高い。又、平坦化層7を介在させる事により接着剤層5とパッシベーション膜との間の接着強度が改善される。一般に、シリコンオキシナイトライド膜又はシリコン窒化膜3に比べて酸化シリコンからなる平坦化層7の方が接着剤層5に対して良好な接着強度が得られる。

【0013】単結晶シリコン層2に形成される集積回路は微細なデバイス寸法を有するMISトランジスタで構成される為、高集積化が可能であり特に大容量のアクティブマトリクス型光弁装置の駆動基板に適している。又、単結晶シリコン層2を素子領域として用いている為、特に集積回路の動作が高速化され、アクティブマトリクス型光弁装置に適している。ドライバ集積回路9は相補型のMISトランジスタから構成されているので、小面積高集積化に加えて低消費電力化を図る事が可能である。又、Pチャネル型MISトランジスタ12が形成されている領域の単結晶シリコン層2の厚みをNチャネル型MISトランジスタ11が形成されている領域の単結晶シリコン層2の厚みに比べて小さく設定する事により、光リーク電流を効果的に抑制している。又、画素スイッチング素子群8は、Nチャネル型MISトランジスタよりもリーク電流の少ないPチャネル型トランジスタ10を用いて構成されている。

【0014】本発明では、SOI基板を用いて集積回路を形成するので、通常の高温IC製造プロセスが適用可能である。さらに、1回のデバイス転写により、SOI基板に形成された集積回路を透明な保持部材6側に移す事が可能である。

【0015】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図2は、本発明にかかる半導体装置の第一実施例を示す模式的な断面図である。図1に示した

基本的な構造と類似しており、対応する部分には対応する参照番号を付して理解を容易にしている。図1に示した基本的な構造と異なる点は、平坦化層を省略している事である。即ち、接着剤層5とパッシベーション膜の最上層に位置するシリコンオキシナイトライド膜又はシリコン窒化膜3とが直接接する構造となっている。かかる構造とする事により製造工程を簡略化できる。なお、図1では説明を省略したが、電気絶縁物1の裏側にはバタニングされた金属膜等からなる遮光層13が形成されており、MISトランジスタ10、11及び12を選択的に被覆し光リーク電流を抑制している。加えて、図1では説明を省略したが、画素スイッチング素子群8を構成するMISトランジスタ10のソース領域にはバタニングされた多結晶シリコン膜等からなる画素電極14が接続されている。

【0016】図3は本発明にかかる半導体装置の第二実施例を示す模式的な断面図である。基本的に、図1に示す構造と同一であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、画素スイッチング素子群8を構成するMISトランジスタ10が単結晶シリコン層2ではなく多結晶シリコン層あるいはアモルファスシリコン層15により形成されている事である。本例では、電気絶縁物1上に設けられた単結晶シリコン層2の一部の領域がシリコン酸化膜等の絶縁膜16に転換されている。この絶縁膜16の上に多結晶シリコン層又はアモルファスシリコン層15が形成され、前述した画素スイッチング素子用のMISトランジスタ10が設けられる。なお、多結晶シリコン層又はアモルファスシリコン層15の延長部分が画素電極となる。本例では、画素スイッチング素子群8はMISトランジスタで構成されているが、本発明はこれに限られるものではなく例えばダイオードで構成する事も可能である。多結晶シリコントランジスタあるいはアモルファスシリコントランジスタは単結晶シリコントランジスタに比べて、光照射時に発生する電子とホール対が少なく、且キャリアの寿命も短かい為、光弁装置用駆動基板として適している。但し、ドライバ集積回路9は、図1に示した基本構造と同様に、単結晶シリコントランジスタで構成される。単結晶シリコントランジスタはドライバピリティーが高く、小面積で高速のドライバ集積回路を作る事ができる。

【0017】図4は本発明にかかる半導体装置の第三の実施例を示す模式図である。(A)はドライバ集積回路を構成するMISトランジスタを1個取り出して示した模式的な断面図及び平面図である。このMISトランジスタ12は電気絶縁物例えばBOX1の上に設けられた単結晶シリコン層2に形成されており、ソース領域S、ドレイン領域D及びゲート電極Gとからなる。MISトランジスタ12の設けられた素子領域はフィールド酸化膜17により囲まれている。図示する様に、MIS

トランジスタ12の素子領域の幅寸法は W_1 に設定されており、長手寸法は L_1 に設定されている。

【0018】一方(B)は画素スイッチング素子群8を構成するMISトランジスタ10を1個取り出して示した断面図及び平面図であり、同様にドレイン領域D、ソース領域S及びゲート電極Gとから構成されている。フィールド酸化膜17により囲まれた素子領域は、幅寸法が W_1 に設定されており、長手寸法が L_1 に設定されている。本実施例では、画素スイッチング素子群を構成するMISトランジスタ10の長手寸法 L_1 と幅寸法 W_1 の積は、ドライバ集積回路を構成するMISトランジスタ12の長手寸法 L_2 と幅寸法 W_2 の積よりも小さい事の特徴とする。

【0019】ここで、単結晶シリコン層2の厚み及びトランジスタの寸法の具体的な数値例を示す。まず単結晶シリコン層の厚みについて示す。SOI基板が後述する貼り合わせ法により製作されていると仮定した場合、単結晶シリコン層2の厚みはウェハ内でレンジで約0.5 μm のバラツキをもっている。画素スイッチング素子用MISトランジスタの単結晶シリコン層2の厚みは例えば、0.1~0.6 μm 、ドライバ集積回路部のP型のMISトランジスタが形成されている領域の単結晶シリコン層2の厚みは例えば0.3~0.8 μm 、同じくドライバ集積回路部のN型MISトランジスタが形成されている領域の単結晶シリコン層2の厚みは例えば0.5~1.0 μm である。次にトランジスタの寸法の具体例を示す。ドライバ集積回路部と画素部両方のMISトランジスタの長さ寸法を1.2 μm とする。ドライバ集積回路部の中にあるMISトランジスタの幅寸法は、各トランジスタの用途に応じて種々の寸法を持つが、最小寸法を5 μm とする。これに対し画素部のMISトランジスタの幅寸法は例えば2 μm 一定とする。このように画素部のMISトランジスタの単結晶シリコン層の厚みを薄くし、かつトランジスタの寸法をドライバ集積回路を構成するMISトランジスタの寸法より小さくすることによって、画素部のトランジスタ内で発生する光リーク電流を低く抑えることができる。

【0020】前述した様に単結晶シリコントランジスタは多結晶シリコントランジスタあるいはアモルファスシリコントランジスタに比べて光リーク電流が大きい。即ち、光照射による電子とホール対の発生量が大きく且つ寿命も長い。特に、画素スイッチング素子群は光照射に晒される可能性が高い。そこで、キャリアの発生領域を少なくし光リーク電流を抑制する為に、画素スイッチング素子群のMISトランジスタのサイズをドライバ集積回路のMISトランジスタよりも小さくしている。同様な理由により、画素スイッチング素子用MISトランジスタ10の形成されている単結晶シリコン層2の膜厚を、(A)に示すドライバ集積回路用MISトランジスタ12が形成されている単結晶シリコン層2の膜厚

に比べて小さく設定している。

【0021】本発明の理解を容易にする為に、ここで図28ないし図30を参照して単結晶シリコントランジスタの光リーク現象について簡潔に説明を加えておく。BOXの表面に島状にパタニングされた単結晶シリコン層が残されており、これに例えばNチャネル型のMISトランジスタが形成されている。ソース領域Sとドレイン領域Dとの間にチャネル領域Chが設けられる。チャネル領域Chの上にはゲート絶縁膜GOXを介してゲート電極Gがパタニング形成されている。外部から光が入射すると、チャネル領域Chに電子とホールの対が発生する。ホールはチャネル領域Ch中に溜り易く接地電位にあるソース領域Sから電子を引き出し、所謂パイボラ動作を引き起す。一方、電子は正電位に保持されたドレイン領域に引張られると同時に、BOXと単結晶シリコン層の界面のエネルギーバンドが落ち込んでいる箇所に集まり、最終的に界面を通過してドレイン領域Dに向かう。この様にして、光リーク電流が流れる事になる。

【0022】図29は、図28に示した単結晶シリコン層における、厚み方向に沿ったエネルギー準位の変化を示している。伝導帯CBはチャネル領域単結晶シリコン層s-SiとBOXとの界面で落ち込んでおり電子が溜り易いエネルギー準位構造となっている。この為、s-SiとBOXとの界面で特にNチャネル型トランジスタの場合リーク電流が生じ易い。又、価電子帯VBのエネルギー準位もs-SiとBOXとの界面で落ち込んでいる。この為、ホールがこの界面部分に集まる事はない。

【0023】図30は単結晶シリコントランジスタのゲート電圧V_gとドレイン電流I_dとの関係を示すグラフである。ドレイン電圧V_dを一定にして測定しており、点線カーブは光照射時の特性を表わし、実線カーブは光遮断時の特性を表わす。グラフから明らかな様に、光照射時にはリーク電流が増大し、単結晶シリコントランジスタのオン/オフ特性が悪化する。

【0024】電気絶縁物上に形成された薄膜型の単結晶シリコンMISトランジスタでは、前述した光リーク電流の問題に加えて、所謂寄生チャネルによるリーク電流の増大が問題となる。以下、この寄生チャネルの改善を目的とした幾つかの実施例を説明する前に、理解を容易にする為に寄生チャネルを簡潔に図25ないし図27を参照して説明する。図25の(A)はSOI基板上に形成されたNチャネル型MISトランジスタの一般的な構成を示す。BOXの上に設けられた単結晶シリコン層s-Siはフィールド酸化膜FOXによって囲まれており素子領域を形成する。素子領域にはN型のソース領域S及びドレイン領域Dが形成されており、両者の間にチャネル領域が設けられる。チャネル領域の上にはゲート絶縁膜GOXを介してゲート電極Gがパタニング形成されている。ゲート電極G直下の単結晶シリコン層s-SiはP型の不純物領域である。

【0025】一方図25の(B)には同じくSOI基板上に形成されたPチャネル型MISトランジスタが示されている。Pチャネル型の場合には、ドレイン領域D及びソース領域SはP'型の不純物領域からなり、ゲート電極G直下の単結晶シリコン層s-SiはN'型の不純物領域となっている。

【0026】図26は、図25の(A)に示したNチャネル型MISトランジスタにおけるP'型不純物領域の深さ方向濃度プロファイルを示す。本例では、P型不純物としてボロンが導入されている。このプロファイルから明らかな様に、単結晶シリコン層s-SiとBOXとの界面で、ボロンの偏析により単結晶シリコン層s-Si側でボロンの濃度が急激に減少している。この為界面領域はボロンの濃度が非常に薄く、Nチャネル型MISトランジスタの電流通路が形成され易い領域となる。この為寄生チャネルを生じ易く、リーク電流が非常に大きくなってしまふ。

【0027】一方、図27は図25の(B)に示したPチャネル型MISトランジスタのN'型不純物領域における深さ方向濃度プロファイルを示している。本例ではN型不純物として磷が用いられている。このプロファイルから明らかな様に、単結晶シリコン層s-SiとBOXとの境界において、磷の偏析により単結晶シリコン層s-Si側で磷の濃度が上昇している。この為界面領域における磷の濃度が比較的高く電流通路は形成されにくい。従って、Pチャネル型のMISトランジスタは、Nチャネル型のMISトランジスタに比べ寄生チャネルが生じにくい構造となっている。

【0028】SOI基板上に形成されるMISトランジスタは、バルクの単結晶シリコンウェハに形成される通常のMISトランジスタと同様に、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下の比較的低不純物濃度のシリコン単結晶層表面部分に閾値制御の為、例えばNチャネル型トランジスタでは単結晶シリコン層と同じ導電型のボロン等のP型不純物のイオン注入によるチャネルドーピングが行なわれていた。P型不純物のチャネルドーピングにより、シリコン単結晶層のP型不純物濃度は、表面付近で高く内部で低くなる様に分布する。この為、SOI基板に形成されたNチャネル型MISトランジスタにおいては、BOXあるいは埋め込み酸化膜の界面近傍では、表面に比べてP型の不純物濃度が低下している。さらに、不純物としてボロンを用いると前述した様に単結晶シリコン層とBOXとの間の界面において偏析が生じ、シリコン単結晶側の不純物濃度が益々減少する事になる。又、Nチャネル型トランジスタに限らず、Pチャネル型トランジスタにおいても、単結晶シリコン層とBOXとの界面には電界が多く存在し、この界面近傍に空乏層や反転層が形成され易くなりBOXに接する単結晶シリコン層の領域に本来のチャネルよりも閾値の小さいチャネル即ち寄生チャネルが形成されてしまふ。

【0029】以下図5ないし図20を参照して寄生チャネルの防止を目的とした幾つかの実施例を詳細に説明する。先ず、図5に示す実施例では、SOI基板に島状のNチャネル型MISトランジスタが形成されている。SOI基板はシリコンからなる基板SUBの上にBOXを介して単結晶シリコン層s-Siを積層した構造を有している。この単結晶シリコン層s-Siは前述した様に島状に形成されており素子領域を構成する。Nチャネル型のMISトランジスタは、P型の不純物を含む単結晶シリコン層s-SiのP'型領域Rと、単結晶シリコン層中に形成されたN型の不純物を含むN'ソース領域S及びドレイン領域Dと、前記領域Rの上側で且つソース領域Sとドレイン領域Dの間に形成されたチャネル領域Chとから構成されている。なおチャネル領域Chの上にはゲート絶縁膜GOXを介してゲート電極Gがパタニング形成されている。BOXと接合する前記領域Rにおいてソース領域Sとドレイン領域Dの間に寄生チャネルの発生を防止する上で十分な濃度のP型不純物が導入されている。加えて、チャネル領域Chには、閾値電圧制御の為のN型不純物が導入されている。

【0030】図5に示す直線A-Bに沿った、不純物濃度プロファイルを図9に示す。このプロファイルから明らかな様に、領域R中に従来に比し多量のP型不純物を導入し、s-SiとBOXとの界面における偏析によるP型不純物濃度の低下を補っている。この為、寄生チャネルが表面の本来のチャネルよりも先に反転して、ソース領域Sとドレイン領域Dとを導通させてしまう事を防止できる。又、表面チャネル領域Chに対してはN型の不純物を導入し、実効的にP型不純物濃度を下げる事により所望の閾値制御を行なっている。

【0031】図6は寄生チャネル抑制の為の他の実施例を示し、同じくSOI基板に形成されたNチャネル型MISトランジスタの例である。本例では、ゲート絶縁膜GOXと電気絶縁物BOXとの間にある単結晶シリコン層の領域RがP型の不純物層からなる。P型不純物の濃度は、チャネル領域Chの方がBOXと接する領域Rに比べて薄くなる様に設定されている。

【0032】図10に、図6に示した直線C-Dに沿ったP型不純物濃度プロファイルを表わす。本実施例においても、BOXに接する界面側においてP型不純物濃度が高くなっており、偏析による濃度低下を補っている。一方、表面チャネル領域ChにおいてはP型不純物濃度を低くして、所望の閾値特性が得られる様にしている。この様な濃度プロファイルは、例えばイオンインプランテーションにおける不純物イオンの加速エネルギーを適宜調整する事により可能である。

【0033】図7はSOI基板に形成されたPチャネル型のMISトランジスタを示しており、図5に示すNチャネル型MISトランジスタの構造に対応している。即ち、BOXに接する単結晶シリコン層の領域Rは従来に

比し比較的高濃度のN型不純物を含んでおり、寄生チャネルを抑制している。一方、表面チャネル領域Chには反対導電型のP型不純物が低濃度で導入されており、トランジスタの閾値特性を制御している。

【0034】図8は同じくSOI基板に形成されたPチャネル型MISトランジスタの例を示しており、図6に表わしたNチャネル型MISトランジスタの構造に対応している。即ち、本実施例においても、BOXに接する単結晶シリコン層の領域Rは従来に比し比較的高濃度のN型不純物を含んでおり寄生チャネルを抑制している。一方、表面チャネル領域ChのN型不純物濃度は領域Rに比べ低く抑制されており、所望のトランジスタ閾値特性を得ている。

【0035】次に図11を参照して、図5に示した実施例の製造方法を詳細に説明する。先ず、工程(A)においてSOI基板を用意する。このSOI基板では、シリコン基板101上に電気絶縁物あるいはBOXを構成するシリコン酸化膜102を介して $1\mu\text{m}$ 以下の厚みを有する単結晶シリコン層103が設けられている。続いて、単結晶シリコン層103に寄生チャネルの発生を防止するのに十分な不純物濃度(例えば $1 \times 10^{17}\text{cm}^{-3}$)になる様にボロン等のP型不純物をイオン注入法等により導入した後、拡散及び活性化処理を施す。すなわち、P型の不純物濃度が、シリコン単結晶層103内で略均一に分布する様に熱処理を施す。

【0036】工程(B)において、トランジスタ形成領域104を残して、単結晶シリコン層103をエッチング除去し個々のトランジスタの素子分離を行なう。なお、トランジスタ間の素子分離は、LOCOS法等により行なっても良い。又、前述したP型の不純物導入処理は工程(B)に示した素子分離を行なった後に実施しても良い。

【0037】次に工程(C)において、MISトランジスタのゲート絶縁膜105を熱酸化法又はCVD法により形成した後、P型不純物を導入した領域の表面部分にN型の不純物による閾値制御用のイオン注入を行ない、トランジスタ形成領域104の表面にP型不純物濃度を実効的に低下させたチャネル領域106を形成する。N型不純物としては拡散係数の小さい砒素が好ましいが、場合によっては燐やアンチモンを用いても良い。

【0038】最後に工程(D)において、通常のICプロセスによりゲート電極107を形成する。さらに、ゲート電極107直下のN型不純物を導入したチャネル領域106を挟む様に、自己整合的にN型不純物をイオン注入法等で大量に導入し、ソース領域108とドレイン領域109を形成する。

【0039】ソース領域108及びドレイン領域109はN型の不純物層からなり、各々シリコン酸化膜102と接合している。これらの領域に挟まれた内部領域110には、シリコン酸化膜102の接合部113に寄生チ

ャネルが発生するのを防止する為に、十分な濃度のP型の不純物が導入されている。デバイス形成層表面部分に沿ってソース領域108とドレイン領域109間に形成されるチャネル領域106は、内部領域110の不純物濃度を高くした分、Nチャネル型MISトランジスタの閾値が上昇するので、これを下げる為に実効上チャネル領域106のP型不純物濃度を下げるべく、N型の不純物が導入されている。チャネル領域106以外の部分のデバイス形成層内部領域110においては不純物濃度が濃い為、ソース領域108及びドレイン領域109とデバイス形成層内部領域110の接合容量が大きくなるが、ソース領域108及びドレイン領域109は各々シリコン酸化膜102と接合しているので、通常のバルクシリコンウェハにおいて不純物濃度を高くした場合程接合容量が大きくなる事はなく、トランジスタの動作スピードの低下は殆んど問題ない。

【0040】図12は寄生チャネルを効果的に抑制する為のさらに別の実施例を示す。この例では、SOI基板の上にNチャネル型のMISトランジスタが形成されている。このMISトランジスタは、電気絶縁物あるいはBOXと単結晶シリコン層s-Siの境界付近で、且つソース領域S及びドレイン領域Dの相対向する側に、ソース領域及びドレイン領域と反対導電型の不純物が導入されている事を特徴とする。具体的には、ソース領域S及びドレイン領域DのN型不純物濃度は 10^{17}cm^{-3} 程度であり、両領域S、Dに挟まれた内部領域RのP型不純物濃度は $1 \times 10^{14}\text{cm}^{-3}$ 程度である。さらに、BOXとs-Siの界面近傍でソース領域S及びドレイン領域Dに接する部分BのP型不純物濃度は $1 \times 10^{17}\text{cm}^{-3}$ 程度である。この様に、内部領域Rに比べて特にソース領域S及びドレイン領域Dの近傍において界面付近の部分のP型不純物濃度を高くする事により、有効に寄生チャネルを抑制できる。この部分Bは特にソース領域S及びドレイン領域DからのN型不純物の拡散により実効的なP型不純物濃度が低下する恐れのある領域である。

【0041】図13はさらに別の実施例を示し、基本的には図12に示す実施例と同一の構造を有する。異なる点は、このNチャネル型MISトランジスタがLDD構造を有する事である。即ち、ゲート電極Gの側壁部分に設けられた二酸化シリコンからなるサイド Spacer SSの直下には、ソース領域S及びドレイン領域Dに比べて比較的低濃度のN型不純物が導入されておりLDD構造を構成している。このLDD領域の直下に位置する部分BのP型不純物濃度は、内部領域Rに比べて比較的大きく設定されており、寄生チャネルを効果的に抑制している。

【0042】図14は寄生チャネルを抑制する為のさらに別の実施例を示し、SOI基板上に相補型のMISトランジスタが形成されている。厚さが $500 \sim 700\mu\text{m}$ の単結晶シリコン基板SUBの上には厚さが数十nmか

ら数 μm のシリコン酸化膜BOXが形成されている。Nチャネル型MISTランジスタのソース領域SNとドレイン領域DNは0.3~0.5 μm の深さに制御可能である。このNチャネル型MISTランジスタは、さらに多結晶シリコンからなるゲート電極GN、シリコン酸化膜からなるゲート絶縁膜GOXN及び薄い濃度のP型不純物領域からなるPウェルPWを有している。一方、Pチャネル型MISTランジスタは、ソース領域SP、ドレイン領域DP、多結晶シリコンからなるゲート電極GP、シリコン酸化膜からなるゲート絶縁膜GOXP及び薄い濃度のN型不純物領域からなるNウェルNWから構成されている。これらの相補型MISTランジスタは二酸化シリコンからなるフィールド酸化膜FOXにより互いに素子分離されている。なお、本実施例ではNチャネル型MISTランジスタが形成されている単結晶シリコン層の領域をPウェルと呼び、Pチャネル型MISTランジスタの形成されている単結晶シリコン層の領域をNウェルと呼んでいる。Pウェルはイオン注入等による薄い濃度のP型不純物領域からなるが、仮にSOI基板の単結晶シリコン層がP型不純物を含み、且つイオン注入や拡散によって新たにP型不純物が導入されない場合であっても、Nチャネル型MISTランジスタが形成される領域であればPウェルと呼ぶ事にする。Nウェルについても同様である。

【0043】図14に示す実施例において、Nチャネル型MISTランジスタのソース領域SNとドレイン領域DNの底部は、BOXに接していない。換言すると、反転層あるいは空乏層の生じがちなBOXとPWの界面から離間している為、本実施例では寄生チャネルが生じる惧れがない。又、Pチャネル型MISTランジスタのソース領域SP及びドレイン領域DPの底部もBOXに接していない。加えて、フィールド酸化膜FOXの底部もBOXに接していない。

【0044】図15はBOXの上に形成されたNチャネル型MISTランジスタの平面図を示す。ソース領域SNとドレイン領域DNは、N型不純物を高濃度に含んだ多結晶シリコンからなるゲート電極GNによって両側に分離されている。ソース領域SN、ドレイン領域DN及びゲート電極GN以外の部分は厚い二酸化シリコン層からなるフィールド酸化膜FOXにより覆われている。

【0045】図16はフィールド酸化膜FOXの底部が電気絶縁物BOXに接している構造における、Nチャネル型MISTランジスタのチャンネル幅方向断面構造を示している。即ち、図15に示した直線E-Fに沿って切断した断面形状である。この図では、単結晶シリコン基板SUB、電気絶縁物BOX、PウェルPW、ゲート絶縁膜GOXN、フィールド酸化膜FOX及びゲート電極GNが表われている。図示されないソース領域SNとドレイン領域DNは紙面に対して垂直方向の前方と後方に位置し、電流の流れる方向も紙面に垂直である。フィー

ルド酸化膜FOXの端部は通常テーパ上に形成されバズピークBBと呼ばれている。フィールド酸化膜FOXを形成した後、バズピークBBの下に非常に厚みの薄い単結晶シリコン層の部分（ハッチングで示されている）rが残される。PウェルPWに含まれるP型不純物には通常ボロンが使われる。単結晶シリコンを酸化処理した時、シリコン表面近傍に存在していたボロンは、前述した偏析によりシリコン酸化膜中に取り込まれ易い。この為、フィールド酸化膜FOXを形成した時、バズピークBB直下の単結晶シリコン層の部分rに含まれるボロンの内、かなりの量がフィールド酸化膜FOXの中に吸収されてしまう。この為、バズピークBB直下の薄い厚みの単結晶シリコンの領域rにおける不純物ボロン濃度は、ゲート酸化膜GOXN直下のPウェルに含まれるボロン濃度よりも相当低下する。

【0046】通常、絶縁ゲート電界効果型ランジスタの場合、電流の流れる箇所はチャンネルと呼ばれゲート絶縁膜直下に位置する。Nチャネル型MISTランジスタの場合、チャンネル領域のボロン濃度がある程度高いとチャンネルが導通する為に必要なゲート電圧の閾値もある程度高くなる。しかしながら、SOI基板上に形成されたNチャネル型MISTランジスタにおいて、図16に示す様にフィールド酸化膜FOXの底部が電気絶縁物BOXに接触していると、ボロン濃度が非常に薄い部分rが形成され、その部分の閾値電圧が低下する。加えて、ソース領域及びドレイン領域の底部がBOXに接している場合には、このボロン濃度の低い部分rが寄生的な電流通路になってしまう。図16に示すバズピークBB直下の部分rは、図15においてハッチングで示した部分rに対応している。このNチャネル型MISTランジスタの幅方向両端部に位置する部分rに寄生チャネルが生じリーク電流が増大する。

【0047】この様な寄生チャネルを防止する為に、前述した図14に示す実施例では、フィールド酸化膜FOXの底部が電気絶縁物BOXに接していない構造となっている。この点をより明確にする為に、図17に本実施例にかかるNチャネル型MISTランジスタのチャンネル幅方向断面構造を示す。すなわち、図17の構造は図14に示した構造に対応している。図から明らかな様に、フィールド酸化膜FOXの底部は電気絶縁物BOXから離間している。従って、バズピークBBの下部には相当程度の厚みを有する単結晶シリコン層が残されている。この為、バズピークBB直下に位置する部分rに含まれるP型不純物であるボロンの濃度は極端に低下する事が無い。即ち、フィールド酸化膜FOXを形成する為に単結晶シリコン層のLOCOS酸化処理を行なう際、バズピークBB直下の部分rに含まれるボロンはFOX中に移動するが、この部分rのさらに下側にP型の単結晶シリコン層が残されている為ボロンの供給を受ける事ができる。従って、かかる構造によれば、図15

及び図16を参照して説明した様なNチャネル型MISトランジスタのチャネル幅方向両端部に寄生チャネルが形成される惧れがない。

【0048】図18は、図14に示した実施例の変形例を表わしており、理解を容易にする為に対応する部分には対応する参照符号を付してある。異なる点は、フィールド酸化膜FOXの底部とPチャネル型MISトランジスタのソース領域SP及びドレイン領域SDがともに電気絶縁物BOXに接しているが、Nチャネル型MISトランジスタのソース領域SN及びドレイン領域DNの底部はBOXに接していない事である。Nチャネル型MISトランジスタのソース領域及びドレイン領域の底部がBOXに接していない限り、フィールド酸化膜FOXの底部がBOXに接していても、Nチャネル型MISトランジスタのチャネル幅方向両端部に寄生チャネルが生じる惧れがない。Pチャネル型MISトランジスタのソース領域及びドレイン領域の底部がBOXに接していても、Pチャネル型MISトランジスタでは前述した様に寄生チャネルが生じにくく、リーク電流が低く抑えられる。

【0049】図19は、図14に示した実施例のさらに他の変形例を表わしており、同様に理解を容易にする為に対応する部分には対応する参照符号を付してある。異なる点は、フィールド酸化膜FOXの底部がBOXに接しているが、Nチャネル型MISトランジスタのソース領域SN及びドレイン領域DNの底部とPチャネル型MISトランジスタのソース領域SP及びドレイン領域DPの底部がともにBOXに接していない事である。この場合にも、図14の実施例において説明したと同様に、Nチャネル型MISトランジスタとPチャネル型MISトランジスタの両方ともに寄生チャネルは発生せず、リーク電流を低く抑制する事が可能である。

【0050】図20は、図14に示した実施例のさらに別の変形例を示す模式的な断面図であり、対応する部分には対応する参照符号を付して理解を容易にしている。異なる点は、PウェルPWの領域に位置する第1のフィールド酸化膜FOX1と中央第2のフィールド酸化膜FOX2の左半分の底部、及びNチャネル型MISトランジスタのソース領域SNとドレイン領域DNの底部がBOXに接していない事である。他方、NウェルNWの領域に位置する第3のフィールド酸化膜FOX3と前述した第2のフィールド酸化膜FOX2の右半分の底部、及びPチャネル型MISトランジスタのソース領域SPとドレイン領域DPの底部はBOXに接している。図20に示した変形例では、図14、図18及び図19に示した実施例と異なり、Nチャネル型MISトランジスタが形成されているPウェルPWを構成する単結晶シリコン層の厚み t_{s1} が、Pチャネル型MISトランジスタが形成されているNウェルNWを構成する単結晶シリコン層の厚み t_{s2} より大きく設定されている事である。かかる

構造にすれば、Nチャネル型MISトランジスタのソース領域SN及びドレイン領域DNを電気絶縁物層BOXから離間する事ができる。図20に示した変形例においても、図18及び図19において説明したと同様に、相補型MISトランジスタのどちらにも寄生チャネルは発生せず、リーク電流を抑制できるという利点がある。

【0051】図14、図18、図19及び図20に示した実施例では、何れもSOI基板上に相補型のMISトランジスタが形成されているが、本発明はこれに限られるものではない。相補型のMISトランジスタに加えてバイポーラトランジスタ等も同時に形成する事ができる。即ち、本発明にかかる半導体装置は所謂CMOSICに限定されるものではなく、BiCMOSIC等を含むものである。

【0052】次にバイポーラアクション（バイポーラ動作）対策を目的とした実施例について説明する。SOI基板に形成されたトランジスタでは単結晶シリコン層からなる基板電位が浮いた状態にある。この為、Nチャネル型MISトランジスタではホールが基板に蓄積され易く、Pチャネル型MISトランジスタでは電子が基板に溜り易い。これらのキャリアが基板に溜るとソース領域と基板間のバリアハイト（PN接合の内部電位でありビルトインポテンシャルと呼ばれる）が下げられ、ソース領域からキャリアが基板に向かって流れ出す。所謂バイポーラアクションであり先に図28を参照して説明した通りである。このバイポーラアクションを防ぐ為に基板電位を固定する必要がある、以下にその実施例を説明する。

【0053】先ず実施例の説明に入る前に、理解を容易にする為図21及び図22を参照して背景技術について若干の説明を加える。図21はアクティブマトリクス型光弁装置に用いられる駆動基板の平面図であり、特に画素領域のみを示してある。この画素部は電気絶縁物（図示せず）の上に設けられた単結晶シリコン層s-Siに形成されている。この駆動基板の表面には行方向に沿って多結晶シリコンからなる走査線Gが設けられており、その一部がゲート電極を構成する。又、マトリクス状に複数の画素電極Eが形成されている。この画素電極Eは厚みが数十nm程度の多結晶シリコンからなり実質的に透明である。個々のトランジスタは単結晶シリコン中の高濃度の不純物層からなるソース領域S及びドレイン領域Dとから構成されている。ソース領域SはコンタクトホールCONを介して対応する画素電極Eに接続されている。又、ドレイン領域Dは他のコンタクトホールCONを介してアルミニウム等の金属からなる信号線（図示せず）に接続されている。

【0054】図22は、画素スイッチング素子を構成する個々のトランジスタのチャネル長手方向に沿って切断した断面形状を示す。即ち、図21に示す直線X-Xに沿って切断された断面形状を示し、Pチャネル型MIS

トランジスタの場合を表わしている。このトランジスタはN型不純物を含むNウェルWを備えている。その上にはゲート酸化膜GOXを介して前述した走査線の一部からなるゲート電極Gがパタニング形成されている。NウェルWの両側には高濃度のP型不純物を含むソース領域Sとドレイン領域Dとが形成されている。かかる構成を有するNチャネル型MISトランジスタは下地のシリコン酸化膜BOXの上に設けられている。このトランジスタは素子分離用のフィールド酸化膜FOXによって囲まれている。ソース領域Sは薄い多結晶シリコン膜p-Siを介して図示しない画素電極に接続されている。ゲート電極Gは画素電極から電気的に分離する為にシリコン酸化膜SiO₂で被覆されている。アルミニウム等の金属からなる信号線SIGはトランジスタのソース領域Dに電気的に接続されている。信号線SIGと画素電極は中間絶縁膜PSGによって互いに絶縁されている。本例では、N型不純物領域からなるNウェルWとソース領域S及びドレイン領域Dは電気絶縁物BOXの上に設けられた単結晶シリコン層に形成されている。図示する様に、この単結晶シリコン層の厚みt₁が薄いとソース領域S及びドレイン領域Dの底面は下地のシリコン酸化膜BOXに直接接する事になる。又、単結晶シリコン層の厚みt₁が薄いと、フィールド酸化膜FOXの底部も下地酸化膜BOXに接してしまう。かかる構成を有する画素スイッチング素子用トランジスタを安定的に動作させる為にはNウェルWの電位を固定する必要がある。しかしながらNウェルWはフィールド酸化膜FOXによって完全に囲まれており島状に分離している。換言すると、NウェルWを構成する単結晶シリコン層の部分は、図示しない周辺ドライバー回路部を構成する単結晶シリコン層から分離しており、内部的に基板電位をとる事が不可能に近い。

【0055】そこで、アクティブマトリクス型光弁装置の駆動基板において、画素スイッチング素子用トランジスタの基板電位を固定する事を目的とする実施例を図23に示す。図示しない電気絶縁物の表面に単結晶シリコン層s-Siが設けられており、これに個々の画素スイッチング素子用トランジスタが形成される。この駆動基板には多結晶シリコンからなる走査線Gが形成されており、一部トランジスタのゲート電極を兼ねる。又厚みが数十nm程度の多結晶シリコンからなる画素電極Eも形成されている。トランジスタは単結晶シリコン層s-Si中に含まれる高濃度のP型不純物層からなるソース領域S及びドレイン領域Dを備えている。又ドレイン領域Dの近傍には、反対導電型の高濃度N型不純物領域WRが設けられている。ソース領域Sは第1コンタクトホールCON1を介して画素電極Eに接続されている。又ドレイン領域Dは第2コンタクトホールCON2を介して図示しないアルミニウム等の金属からなる信号線に接続されている。さらに、前述したN型の高濃度不純物領域W

Rは第3コンタクトホールCON3を介して接地電位を与える他のアルミニウム等からなる金属配線（図示せず）に接続されている。

【0056】図24は、図23に示した直線Y-Yに沿って切断した画素スイッチング素子用トランジスタの断面構造を示す。この例では、画素スイッチング素子はPチャネル型のMISトランジスタからなる。このトランジスタはN型不純物を含むNウェルWに形成されている。このNウェルWの直上にはゲート酸化膜GOXを介して走査線の一部からなるゲート電極Gがパタニング形成されている。NウェルWの両側には高濃度のP型不純物層からなるソース領域Sと反対導電型の高濃度N型不純物領域WRが設けられている。なお、ドレイン領域DはN型不純物領域WRの背後に隠れて図示されない。このトランジスタは数百nmないし数μmの厚みを有する下地シリコン酸化膜BOXの上に設けられている。その素子領域はフィールド酸化膜FOXによって他のトランジスタから分離されている。ソース領域Sは薄い多結晶シリコン膜p-Siを介して図示しない画素電極に接続される。又、ゲート電極Gを構成する多結晶シリコン膜と図示しない画素電極を構成する多結晶シリコン膜はシリコン酸化膜SiO₂により互いに絶縁されている。又、接地電位を与える為のアルミニウム金属配線A1は前述したN型の高濃度不純物領域WRに接続している。アルミニウム配線A1と画素電極は中間絶縁膜PSGによって互いに絶縁されている。周辺のドライバー回路から導かれた接地電位を与える為のアルミニウム金属配線A1は、電気的に高濃度N型不純物領域WRに接続されている。従って、この高濃度N型不純物領域WRに接しているNウェルWの電位は接地電位に安定的に固定される。

【0057】図31は本発明にかかる半導体装置を駆動基板として利用した光弁装置の一実施例を示しており、特にアクティブマトリクス型液晶光弁装置を示している。この光弁装置は、本発明にかかる半導体装置からなる駆動基板201と透明なガラス等からなる対向基板202をスペーサ203を介して互いに積層接着した構造を有し、両基板の間には電気光学物質である液晶204が充填封入されている。駆動基板201は、電気絶縁物205の上に設けられたシリコン単結晶層206等に形成された集積回路を、接着剤層207により保持部材208に転写した構造を有している。前述した様に、集積回路を保護するパッシベーション膜209の最上層にはシリコンオキシナイトライド膜あるいはシリコン窒化膜210が配置しており、接着剤層207に含まれる水分や水素から集積回路を有効に保護しており電気特性の劣化を防止できる。駆動基板201は周辺ドライバー回路部と、画素部に分けられる。画素部にはマトリクス状に配列された画素電極211とこれを駆動する画素スイッチング素子212が集積的に形成されている。周辺ドライバー回路部は遮光膜213により裏面側から被覆さ

れている。又画素スイッチング素子212も裏面側から遮光膜213により被覆されている。周辺ドライバ回路部に位置する電気絶縁物205の厚み t_2 は、画素部に位置する電気絶縁物の厚み t_1 に比べて大きく設定されている。特に、画素部の電気絶縁物205の膜厚を薄くする事により、液晶204に対して電界が効果的に加わる様に考慮を払っている。

【0058】駆動基板201の画素部裏面側には配向膜214が形成されている。又、対向基板202の内表面には共通電極215及び配向膜216が設けられている。

【0059】図32は、図31に示した透過型の光弁装置を利用して構成された画像プロジェクション装置を示す。この画像プロジェクション装置301は、ランプ等の発光源302と3枚の光弁装置303~305とから構成されている。発光源302からの光を光弁装置303~305に照射し光弁装置上の画像を光学レンズ306によって拡大投影する。本例ではRGB三原色画像に対応して3個の光弁装置が用いられている。光源光は第1のミラーM1により反射された後フィルター307を通過し、第1のダイクロイックミラーDM1によりR成分と残りのG及びB成分に分けられる。R成分は第2のミラーM2により反射された後コンデンサレンズC1を通過し第1の光弁装置303を照射する。一方G成分は第2のダイクロイックミラーDM2により分離された後コンデンサレンズC2を介して第2の光弁装置304を照射する。残りのB成分はコンデンサレンズC3を介して第3の光弁装置305を照射する。各光弁装置を透過したR、G及びB成分はダイクロイックミラーDM3、DM4及びミラーM3を介して合成され、光学レンズ306により拡大投影される。

【0060】前述した様に、個々の光弁装置は、画素電極と所定の信号に応じて該画素電極を励起する為の駆動回路とが形成された駆動基板と、該駆動基板に対向配置した対向基板と、該駆動基板と該対向基板の間に配置された液晶等の電気光学物質層からなる。この駆動基板は、透明電気絶縁物と該透明電気絶縁物の上に形成された単結晶半導体層と、該透明電気絶縁物の単結晶半導体層側と反対側の裏面に設けられた遮光層とを有している。駆動回路は、単結晶半導体層に形成されたトランジスタ素子を含んでおり、遮光層はこのトランジスタ素子の能動部を被覆する様に設けられている。画素電極は単結晶半導体層に集積的に配置され、且つ駆動回路と電気的に接続されている。駆動回路により画素電極を励起して電気光学物質に作用しその光透過性を制御して光弁機能を奏する。

【0061】次に、図33及び図34を参照して光弁装置の製造方法を説明する。先ず図33の(A)に示す第1工程において、仮基板401と単結晶半導体層402を透明電気絶縁物403を介して積層した三層からなる

SOI基板を用意する。本例では仮基板401は500~700 μm の厚みを有する単結晶シリコンからなり、単結晶半導体層402は1 μm 程度の厚みを有する薄膜単結晶シリコンからなり、透明電気絶縁物403は1 μm 程度の厚みを有する二酸化シリコンからなる。

【0062】次に(B)に示す第2工程において、SOI基板の単結晶半導体層403を選択的に除去した部分あるいは選択的に二酸化シリコン膜を形成した部分に画素電極404を形成する。さらに、該単結晶半導体層403に画素スイッチング素子405や該画素スイッチング素子405へ信号を選択的に供給する為のドライバ集積回路406等からなる駆動部を形成する。さらに、この駆動部をパッシベーション膜407により被覆する。このパッシベーション膜407の最上層408は前述した様にシリコンオキシナイトライド膜あるいはシリコン窒化膜からなる。

【0063】(C)に示す第3工程において、画素電極404及び駆動部を形成したSOI基板表面上に、接着剤層409を介して透明なガラス等からなる保持部材410を載置する。好ましくはパッシベーション膜407と接着剤層409との間に平坦化層411を介在させる。

【0064】次に図34の(D)に示す第4工程において、仮基板を除去し透明電気絶縁物403を表出させる。仮基板の除去は透明絶縁物403をエッチングストッパとしてエッチング処理により行なう事ができる。

【0065】(E)に示す第5工程において、該表出した透明電気絶縁物403の所定位置に貫通孔412を設ける。さらに該表出した透明電気絶縁物403の表面全体に金属膜を形成する。続いて第6工程において、該金属膜をバタニングして、少なくとも駆動部の一部又は全部を覆う様に遮光層413を形成するとともに電極パッド414も同時に形成する。この電極パッド414は、前述した貫通孔412を介して駆動部と電気的に接続し、外部電極引き出しが行なわれる。最後に、図示しないが第7工程において、駆動基板の遮光層を形成した裏面側に対して、透明電極を予め形成した対向基板をギャップを設けて積層接着し、該ギャップに電気光学物質を充填して光弁装置を完成する。

【0066】最後に、本発明にかかる半導体装置を作成する為に用いられるSOI基板の製造方法について説明する。現在、単結晶シリコンを使ったSOI基板の内、主に使われているウェハは2種類ある。1つは単結晶シリコン基板上に酸素原子を所定の深さでイオン注入し、その後アニールする事により製造されるものであり、S-IMOXと呼ばれている。このウェハはSOI層の単結晶シリコン厚みのばらつきが非常に小さい利点を有している。しかしながら、このS-IMOXウェハでは、SOIシリコン層の厚みが約0.2 μm 以下でないと、アニール後に良好な単結晶シリコンを得る事ができない。SO

I層の単結晶シリコンの厚みがこの様に薄いと、形成されるNチャネル型MISトランジスタとPチャネル型MISトランジスタの双方のソース領域及びドレイン領域の底部がBOXに接触してしまい、寄生チャネルを抑制する事が困難になる。

【0067】そこで、本発明では主として貼り合わせ法により作成されたSOI基板を利用している。図35に貼り合わせSOI基板の例を示す。(A)に示すSOI基板は最も基本的なものであり、単結晶シリコン基板501の上にシリコン酸化膜502を介して単結晶シリコン層503が貼り合わされている。

【0068】(B)に示すSOI基板では、単結晶シリコン基板501と単結晶シリコン薄膜503との間に三層の電気絶縁物質が介在している。この電気絶縁物質層は中間の窒化シリコン膜504を上下から酸化シリコン膜505及び506で挟持した構成となっている。窒化シリコン膜は内部的に引張り応力が働く。一方酸化シリコン膜は圧縮応力が働く。両者を積層する事により引張り応力と圧縮応力が相殺し全体としてストレスを緩和する事ができる。

【0069】(C)に示すSOI基板構造では、単結晶シリコン基板501と単結晶シリコン薄膜503との間に二層のシリコン窒化膜507及びシリコン酸化膜508が介在している。同様に引張り応力と圧縮応力が互いに相殺する為反り変形等の少ないSOI基板が得られる。

【0070】(D)に示すSOI基板の構造では、(C)に示すSOI基板の構造に加えて、さらに二層の窒化シリコン膜509及び酸化シリコン膜510を加えている。

【0071】最後に、特に図面を参照しないが、まとめとして本発明にかかる半導体装置の製造方法の基本的なプロセスを説明する。先ず第1工程として、仮基板の上に電気絶縁物を介して積層された単結晶半導体層を有するSOI基板を形成する。第2工程において、該単結晶半導体層に対して集積回路を形成する。第3工程において、形成された集積回路の表面に対して該仮基板と反対側に保持部材を面接着固定する。第4工程において、該仮基板を除去し平坦な電気絶縁物を露出する。最後に、第5工程において、該露出した平坦な電気絶縁物の表面に対して少なくとも電極形成を含む処理を行なう。好ましくは、第1工程はシリコンからなる仮基板の上に二酸化シリコンからなる電気絶縁物を介して単結晶シリコンからなる半導体基板を熱圧着により固定した後、該半導体基板を研磨して薄膜化し単結晶シリコン層を有するSOI基板を形成する。さらに好ましくは、第1工程において、シリコンからなる仮基板の上に下地処理として窒化シリコン層を堆積し続いてCVDにより二酸化シリコン層を堆積する事により電気絶縁物を形成した後、熱圧着により該半導体基板を固定する工程を含む。又、第4

工程は、二酸化シリコン層又は窒化シリコン層をエッチングストップとして該仮基板をエッチングあるいは研磨とエッチングの両方により除去する。さらに、第3工程は、二酸化シリコンを主成分とする接着剤を用いて保持部材を面接着固定する。あるいは、第3工程は集積回路の表面に対して接着剤を供給し固化して単層構造を有する保持部材を設ける工程でも良い。

【0072】

【発明の効果】以上説明した様に、本発明によれば、SOI基板に形成された集積回路を接着剤層等を介して透明な保持部材側に転写し半導体装置を構成している。この際、集積回路を被覆するパッシベーション膜の最上層にシリコンオキシナイトライド膜又はシリコン窒化膜を設ける事により、接着剤層に含まれる水分や酸素等を完全に遮断し、集積回路の電気特性の劣化を防止し信頼性を改善する事ができるという効果がある。又、集積回路を転写する際、接着剤層とパッシベーション膜の間に平坦化層を介在させる事により接着強度を高める事ができるという効果がある。特に、平坦化層として二酸化シリコン系の材料を用いた場合には、集積回路への影響が少なく安定した信頼性を維持する事ができるという効果がある。本発明にかかる半導体装置をアクティブマトリクス型光弁装置の駆動基板として用いる場合には、画素部に含まれるスイッチングトランジスタをポリシリコンあるいはアモルファスシリコンで形成する事により、光リーク電流を抑制する事ができるという効果がある。一方、周辺ドライバー回路部は単結晶シリコンをそのまま利用したトランジスタで形成する事により、ドライバビリティが高く小面積で高速な駆動回路を得る事ができるという効果がある。

【0072】又、本発明によればシリコン単結晶層と電気絶縁物BOXの界面に対して、ソース領域及びドレイン領域と反対導電型の不純物を比較的高濃度で導入する事により寄生チャネルを抑制する事ができるという効果がある。又、特にNチャネル型MISトランジスタのソース領域及びドレイン領域底部を下地電気絶縁物から離間する事により寄生チャネルを抑制する事ができるという効果がある。同様に、Nチャネル型MISトランジスタが形成された領域を囲むフィールド酸化膜の底部を下地電気絶縁物から離間する事により寄生チャネルを防ぐ事ができるという効果がある。

【0073】本発明にかかる半導体装置を光弁装置の駆動基板に利用した場合、画素部に形成されるスイッチングトランジスタ素子には光照射が加わる惧れがある。この為、画素スイッチングトランジスタの寸法を周辺駆動回路トランジスタの寸法に比べて小さくする事により光リーク電流の増大を防いでいる。特に、リーク電流抑制の点で有利なPチャネル型MISトランジスタを画素スイッチング素子として利用する事によりオン/オフ特性を改善する事ができるという効果がある。さらに、画素

スイッチングトランジスタの形成されるシリコン単結晶層の厚みを、周辺駆動トランジスタの形成される単結晶シリコン層の厚みに比べて小さく設定する事によりリーク電流を抑制できるという効果がある。

【0074】加えて、単結晶シリコン層に形成されたトランジスタの基板電位を固定する事により、所謂バイポーラ動作に基づくリーク電流を抑制する事ができるという効果がある。

【0075】本発明によれば貼り合わせ法により形成されたSOI基板を用いる事により製造コストが低く且つ信頼性の高い半導体装置を提供する事ができるという効果がある。特に、シリコン単結晶層と単結晶シリコン基板を貼り合わせる際酸化膜と酸化膜の二層構造を電気絶縁物として使用する事により引張り応力と圧縮応力が互

いに相殺しSOI基板の変形を有効に防止する事ができるという効果がある。

【0076】加えて、本発明にかかる半導体装置を光弁装置用の駆動基板として用いる場合、露出した電気絶縁物の厚みを図素部で特に薄化する事により、光弁を駆動する為の電界を有効に発生する事ができるという効果がある。

【手続補正2】

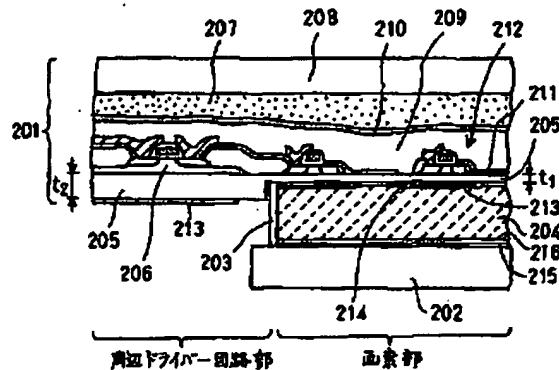
【補正対象書類名】図面

【補正対象項目名】図31

【補正方法】変更

【補正内容】

【図31】



フロントページの続き

(72)発明者 山崎 恒夫
東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内

(72)発明者 岩城 忠雄
東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内